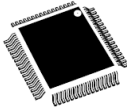


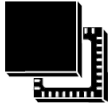
CKS32F051x6 CKS32F051x8

**ARM 核 32 位微控制器, 16 到 64K 字节 Flash,
11个定时器,ADC, DAC和多种通讯接口, 2.0V-3.6V**

功能

- 核: ARM 32-bit Cortex®-M0 CPU (48 MHz max)
 - 存储器
 - 16 到 64 K 字节 Flash memory
 - 8 K 字节的 SRAM 带硬件校验
 - CRC计算单元
 - 复位和供电管理
 - 电压范围 : 2.0 V 到 3.6 V
 - 模拟供电: $V_{DDA} = V_{DD}$ 到3.6V
 - 上电/掉电复位(POR/PDR)
 - 可编程电压检测器(PVD)
 - 低电压模式: Sleep, Stop, Standby
 - RTC 和备份区域 V_{BAT} 单独供电
 - 时钟管理
 - 4 到32 MHz晶体振荡器
 - 32 kHz RTC用可的校准振荡器
 - 内部8 MHz RC带 x6 锁相环倍频
 - 内部40 kHz RC 振荡器
 - 多达 55 个高速 I/O 口
 - 全部可映射为外部中断输入
 - 多达36 个I/O 口支持5 V 容忍
 - 5 通道DMA 控制器
 - 1 × 12 位, 1.0 微秒 ADC (多至16采样通道)
 - 转换范围 : 0 到 3.6V
 - 单独的2.4到3.6伏模拟供电
 - 1个12位 D/A转换器
 - 2个高速低功耗模拟比较器, 可编程输入输出
 - 多达18电容感应通道支持接近, 触摸按键线性和旋转触摸传感器
 - 多达11个定时器
 - 一个 16 位7通道高级控制定时器用于6通道 PWM输出, 带死区时间发生器和紧急刹车功能
 - 一个 32 位和一个 16 位定时器, 每个多达4路输入捕获或输出比较通道, 可用于红外控制和解码
- 

LQFP64 10x10 mm
LQFP48 7x7 mm
LQFP32 7x7 mm



UFQFPN48 7x7 mm
UFQFPN32 5x5 mm
- 一个 16 位定时器, 带2通道输入捕获/输出比较及1个反极性输出通道, 死区时间发生器和紧急刹车功能
 - 两个16 位定时器, 都带输入捕获/输出比较及反极性输出通道, 死区时间发生器, 紧急刹车功能和 IR 控制调制门
 - 一个16 位定时器带一路输入捕获/输出比较
 - 独立窗口看门狗定时器
 - SysTick 定时器 : 24 位向下计数
 - 一个16 位基本定时器用于驱动 DAC
- 日历型 RTC 集成闹钟可周期性自动从 Stop/ Standby 状态唤醒
 - 通讯接口
 - 多至两个I²C接口 ; 其中一个支持极速模式 (1 Mbit/s), 20 mA灌电流 SMBus/PMBus和从 STOP状态唤醒
 - 多至两个同步/异步串口支持主同步SPI和 modem控制功能, 其中一个支持ISO7816 接口, LIN, IrDA,自动波特率检测功能
 - 多至2个SPI接口(18M位/秒)外设支持4到16位可编程字长, 其中一个支持 I2S 接口复用
 - 消费电子控制 (HDMI CEC) 接口, 帧头接收唤醒功能
 - 串行两线调试(SWD)
 - 96位唯一ID
 - 所有的封装ECOPACK®2

目录

功能.....	1
目录.....	1
1 描述.....	4
2 功能概述.....	7
2.1 ARM® Cortex®-M0 内核结合嵌入式闪存和 SRAM.....	7
2.2 存储器.....	7
2.3 引导模式.....	7
2.4 循环冗余校验计算单元 (CRC)	8
2.5 电源管理.....	8
2.5.1 供电方式.....	8
2.5.2 电源监测	8
2.5.3 稳压器	8
2.5.4 低功耗模式	9
2.6 时钟和启动.....	9
2.7 通用输入/输出端口 (GPIO)	10
2.8 直接存储器访问控制器 (DMA)	10
2.9 中断和事件.....	11
2.9.1 向量嵌套中断控制器 (NVIC)	11
2.9.2 扩展中断/事件控制器 (EXTI)	11
2.10 模数转换器 (ADC)	11
2.10.1 温度传感器	12
2.10.2 内部参考电压(VREFINT).....	12
2.10.3 V _{BAT} 的电池电压监测	12
2.11 数模转换器 (DAC)	12
2.12 比较器(COMP).....	13
2.13 触摸传感控制器(TSC).....	13
2.14 定时器和看门狗.....	14
2.14.1 高级控制定时器 (TIM1)	15

CKS 版权所有

2.14.2	通用定时器 (TIM2..3, TIM14 .. 17)	15
2.14.3	基本定时器 TIM6	16
2.14.4	独立窗口看门狗 (IWDG)	16
2.14.5	系统窗口看门狗 (WWDG)	16
2.14.6	SysTick 定时器	16
2.15	实时时钟 (RTC) 和后备寄存器	17
2.16	内部集成电路接口 (I ² C)	17
2.17	通用同步/异步收发器 (USART)	18
2.18	串行外设接口(SPI)	19
2.19	高清晰度多媒体接口 (HDMI) - 消费电子控制 (CEC)	19
2.20	两线串行调试端口 (SW-DP)	19
3	引线 and 引脚说明	20
4	内存映射	31
5	电气特性	34
5.1	测试条件	34
5.1.1	最小和最大数值	34
5.1.2	典型数值	34
5.1.3	典型曲线	34
5.1.4	负载电容	34
5.1.5	引脚输入电压	35
5.1.6	供电方案	36
5.1.7	电流消耗测量	37
5.2	绝对最大额定值	37
5.3	工作条件	38
5.3.1	通用工作条件	38
5.3.2	上电和掉电时的工作条件	39
5.3.3	内嵌复位和电源控制模块特性	40
5.3.4	内置的参照电压	41
5.3.5	供电电流特性	41
5.3.6	外部时钟源特性	49
5.3.7	内部时钟源特性	53
5.3.8	PLL 特性	56

5.3.9	存储器特性	56
5.3.10	EMC 特性.....	57
5.3.11	绝对最大值(电气敏感性).....	58
5.3.12	I/O 电流注入特性	59
5.3.13	I/O 端口特性	59
5.3.14	NRST 引脚特性	64
5.3.15	12 位 ADC 特性.....	65
5.3.16	DAC 电器规格	69
5.3.17	比较器特性	70
5.3.18	温度传感器特性	71
5.3.19	V _{BAT} 监控特征.....	72
5.3.20	Timer 定时器特性.....	72
5.3.21	通信接口	73
6	封装特性	78
6.1	封装机械数据	78
6.2	热特性.....	87
7	CKS32 系列产品命名规则	88
8	修订历史.....	89

CKS 版权所有

1 描述

CKS32F051xx 系列采用高性能的 ARM Cortex™ -M0 的 32 位 RISC 内核，工作于 48 兆赫兹频率，高速的嵌入式闪存（FLASH 最大 64K 字节，SRAM 最大 8K 字节），并广泛集成增强型外设和 I/O 口。所有器件提供标准的通信接口（最多两个 I2Cs，两个 SPI，一个 I2S，1 个 HDMI CEC，两个 USART），一个 12 位 ADC，一个 12 位 DAC，最多五个通用 16 位定时器，一个 32 位定时器和一个高级控制 PWM 定时器。

CKS32F051xx 系列，工作在 -40 至 +85℃ 和 -40 至 +105℃ 温度范围，2.0 至 3.6 V 电源电压。一套全面的为低功耗应用设计准备的省电模式。

CKS32F051xx 系列包括三种不同的封装，从 32 引脚到 64 引脚不等的。根据选择的器件，包含不同的外设。下面的内容包含了这个产品系列所提供的全部外设的描述。

这些特点使得 CKS32F051xx 微控制器系列适用于广泛的应用，如应用控制和用户界面，手持设备，A/V 接收机和数字电视，PC 外设，游戏和 GPS 平台，工业应用，可编程控制器，逆变器，打印机，扫描仪，报警系统，视频对讲，HVACs。

CKS 版权所有

表 1 CKS32F051xx 系列器件的功能和外设数量

外围设备		CKS32F051Kx			CKS32F051Cx			CKS32F051Rx		
Flash(Kbytes)		16	32	64	16	32	64	16	32	64
SRAM(Kbytes)		8								
定时器	高级控制	1 (16-bit)								
	通用	5 (16-bit) 1 (32-bit)								
	基本	1 (16-bit)								
通讯接口	SPI(I2S) ⁽¹⁾	1[1] ⁽²⁾			1[1] ⁽²⁾		2[1]	1[1] ⁽²⁾		2[1]
	I2C	1 ⁽³⁾			1 ⁽³⁾		2	1 ⁽³⁾		2
	USART	1 ⁽⁴⁾	2		1 ⁽⁴⁾		2	1 ⁽⁴⁾		2
	CEC	1								
12 位同步 ADC (通道数)		1 (10 ext. + 3 int.)						1 (16 ext. + 3 int.)		
GPIOs		25(on LQFP32) 27(on UFQFPN32)			39			55		
电容传感通道		13(on LQFP32) 14(on UFQFPN32)			17			18		
12 位 DAC (通道数)		1 (1)								
模拟比较器		2								
最大 CPU 频率		48MHz								
工作电压		2.0 到 3.6V								
工作温度		工作环境温度: -40 °C to 85 °C / -40 °C to 105 °C 结温: -40 °C to 105 °C / -40 °C to 125 °C								
封装		LQFP32 UFQFPN32			LQFP48 UFQFPN48			LQFP64		

1. SPI1 的接口, 可以用在SPI 模式下, 也可以用在I2S 音频模式下。

2. SPI2 没有

3. I2C2 没有

4. USART2 没有

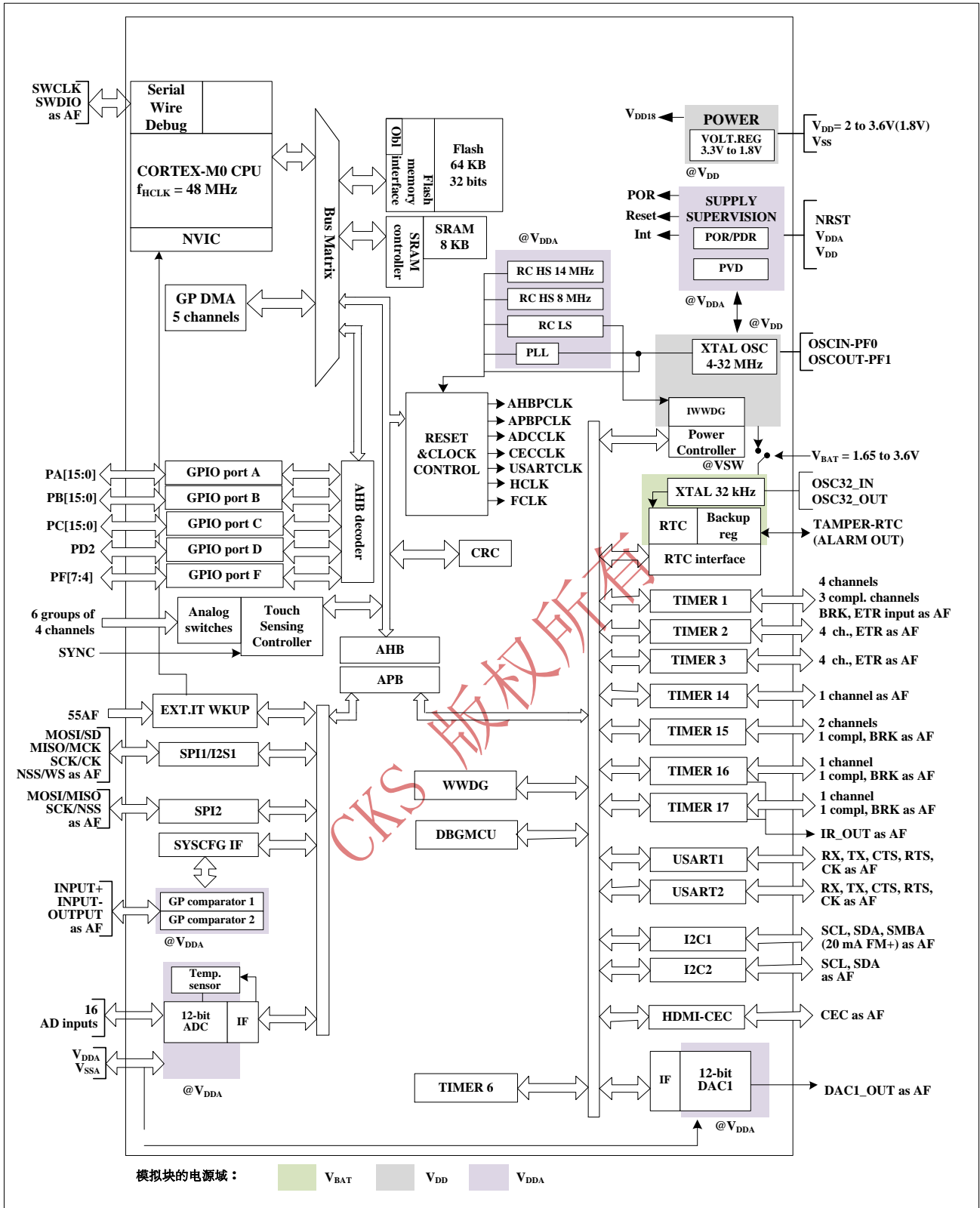


图 1 模块图

2 功能概述

2.1 ARM® Cortex®-M0 内核结合嵌入式闪存和 SRAM

ARM® 的 Cortex® -M0 处理器是 ARM 处理器中针对嵌入式系统的最新一代产品。它提供了一种低成本的平台旨在满足少引脚数和低功耗单片机的需求，同时提供出色的计算性能和先进的系统响应中断。

ARM 的 Cortex™ -M0 的 32 位 RISC 处理器，提供卓越的代码效率，提供 ARM 内核的高性能预期，区别于同等的内存大小的 8 位和 16 位器件。

CKS32F051xx 家族采用嵌入式的 ARM 内核，因此与所有的 ARM 工具和软件兼容。

图 1 显示了器件 CKS32F051xx 的家族的框图。

2.2 存储器

该器件具有以下特点：

- 多达 8K 字节的嵌入式 SRAM，可用 CPU 的速度进行无等待位的读写访问。并包含针对高可靠性应用需要的嵌入式校验检查功能。
- 非易失性内存被分为两个区域：
 - 16 至 64 字节的程序和数据嵌入式闪存
 - 选项字节

选项字节用于对内存（4 KB 的粒度）进行写保护设置和/或对整个内存进行读出保护设置，以及下列选项：

- 0 级：没有读出保护
- 1 级：FLASH 读保护，不允许在调试功能连接的时候或从 RAM 启动的时候对 FLASH 的读写操作。
- 2 级：芯片读保护，完全禁止调试功能（Cortex-M0 的串行线）和从 RAM 启动

2.3 引导模式

在启动时，启动引脚和引导选择选项位用来选择三个引导选项之一：

- 从用户闪存引导
- 从系统内存启动
- 从内置 SRAM 启动

引导装载程序位于系统内存中。可以通过 USART1 用它来对闪存重新编程。

2.4 循环冗余校验计算单元 (CRC)

CRC 计算单元可以用来按照既定的多项式算法, 依据输入数据快速算出循环冗余校验的结果码。

在很多应用中, 通常使用循环冗余校验的技术来检查数据传输或存储的完整性。在 EN/IEC 60335-1 功能安全标准范围内, 这提供了校验 Flash 存储可靠性的技术手段。CRC 计算单元可随时计算软件签名, 使得可以在通讯和存储的时候就地完成签名比较。

2.5 电源管理

2.5.1 供电方式

- $V_{DD} = 2.0$ 至 3.6 V: 为 I/O 和内部稳压器供电的外部电源。
由外部通过 V_{DD} 引脚提供。
- $V_{DDA} = 2.0$ 至 3.6 V: 外部模拟电源为 ADC, 复位模块, RC 振荡器和 PLL 供电 (使用 ADC 和 DAC 时 V_{DDA} 最低电压为 2.4 V)。 V_{DDA} 电压必须总是大于或等于 V_{DD} 电压, 而且必须先上电。
- $V_{BAT} = 1.65$ 至 3.6 V: 当 V_{DD} 掉电的时候为 RTC、外部 32kHz 振荡器和后备寄存器 (通过电源开关) 供电。

如何连接电源引脚的详细信息, 请参阅图 11。

2.5.2 电源监测

该器件集成了上电复位 (POR) 和掉电复位 (PDR) 电路。他们总处于工作状态, 确保器件在 2V 以上时正常运作, 在阈值以下器件会保持在复位状态, 而不需要外部复位电路来监测电源电压是否低于指定的阈值。

- 在 POR 只监视 V_{DD} 供电电压。在启动阶段, 它需要 V_{DDA} 先上电, 并高于或等于 V_{DD} 。
- 在 PDR 监视 V_{DD} 和 V_{DDA} 供电电压, 但 V_{DDA} 电源监测可以被禁用 (通过编程专用选项位), 以降低功耗, 前提是由应用设计来确保 V_{DDA} 一定高于或等于 V_{DD} 。

该器件具有一个可编程电压监测器 (PVD), 监视 V_{DD} 电源并与 V_{PVD} 阈值比较。当 V_{DD} 低于阈值 V_{PVD} 和/或当 V_{DD} 是高于阈值 V_{PVD} 时, 可产生一个中断。中断服务程序就可以生成一个警告消息和/或置 MCU 于安全状态。PVD 由软件使能。

2.5.3 稳压器

稳压器有三种工作模式: 主要 (MR), 低功耗模式 (LPR) 和断电。

- MR 是在正常运行模式（运行）
- LPR 可以被用来在停止模式下减少电力需求
- 掉电用于在待机模式：稳压器的输出是高阻状态：内核电路断电，使得电流消耗为零（同时寄存器和 SRAM 的内容也将丢失）

该稳压器在复位后始终启用。它在待机模式下被禁用，提供高阻输出。

2.5.4 低功耗模式

CKS32F051xx 家族支持三种低功耗模式以便在功耗低，启动时间短，可用的唤醒源之间实现最佳的折衷：

- Sleep 模式

在 Sleep 模式下，只有 CPU 停止。所有外设继续工作，可以在 CPU 中断/事件发生时唤醒。

- Stop 模式

停止模式实现了非常低的功耗，同时保持 SRAM 和寄存器的内容。在 1.8 V 的区域所有的时钟都停止，PLL，HSI 的 RC 和 HSE 晶体振荡器被禁用。稳压器也可以置于正常或低功率模式。

器件可以用任意的 EXTI 线从 Stop 模式唤醒。EXTI 线源可以是 16 个外部线，PVD 的输出，RTC 报警，COMPX，I2C1 的，USART1 的或 CEC 之一。

I2C1，USART1 和 CEC 可以配置为能够打开 HSI RC 振荡器，用于处理传入的数据。如果要这样用，就不能够将稳压器置于低功耗模式，只能保持在正常模式。

- 待机模式

在待机模式下可实现最低的功耗。内部稳压器被关闭，所以整个 1.8 伏区域断电。

PLL，HSI RC 和 HSE 晶体振荡器也被关闭。进入待机模式后，SRAM 和寄存器的内容都将丢失，但备份域的寄存器和备用电路除外。

当发生外部复位（NRST 引脚），IWDG 复位，WKUP 引脚上的上升沿，或 RTC 报警时，器件退出待机模式。

注：RTC，IWDG 和对应的时钟源在进入停机或待机模式时不会停止。

2.6 时钟和启动

系统时钟的选择在启动时执行，在复位后，内部 8MHz 的 RC 振荡器被选为默认的 CPU 时钟。可以选择 4-32 MHz 的外部时钟，如果它出故障会被监测到。如果检测到故障时，系统会自动切换回内部 RC 振荡器。如果允许的话，就会产生一个软件中断。同样，必要时对 PLL 时钟也有完整的中断管理（例如一个间接使用外部晶振，谐振器或振荡器故障）。

允许应用程序通过几个分频器来配置 AHB 和 APB 的频率。AHB 和 APB 的最高频率为 48MHz。

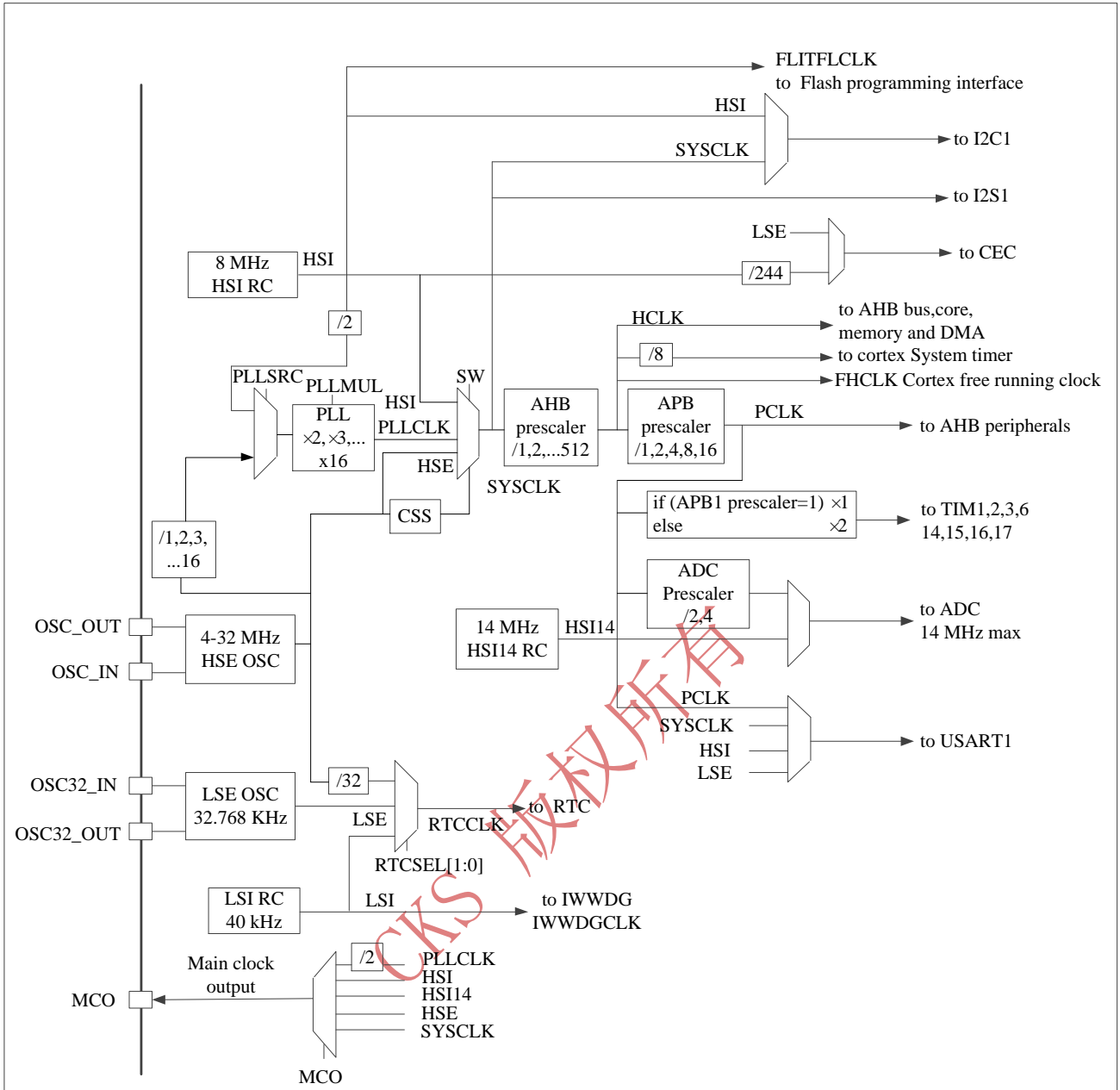


图 2 时钟树

2.7通用输入/输出端口（GPIO）

每个 GPIO 引脚都可以通过软件配置为输出（推挽或漏极开路），输入（带或不带上拉或下拉）或复用的外设功能。多数 GPIO 引脚同时具有有数字或模拟的功能。

如有必要，I/O的配置需要一个特定操作序列来解锁，以避免对I/O寄存器的意外的写入。

2.8直接存储器访问控制器（DMA）

5 通道通用 DMA 可以管理存储器到存储器，外设到存储器和存储器到外设的直接访问。

DMA 支持环形缓冲区的管理，在控制器达到缓冲区的末尾时不再需要用户代码的干预。

每个通道连接到专用硬件 DMA 请求，支持软件对每个通道的触发。由软件完成 DMA 的配置，源和目标之间传输的数据量都是独立的。

DMA 可以用于主要的外设：SPI，I2S，I2C，USART，所有 TIMx 的定时器（除了 TIM14），DAC 和 ADC。

2.9 中断和事件

2.9.1 向量嵌套中断控制器（NVIC）

CKS32F051xx 家族嵌入了向量嵌套的中断控制器，能处理多达 32 个可屏蔽中断通道（不包括 16 线中断的 Cortex™ -M0）和 4 个优先级。

- 紧密耦合的 NVIC 能够低潜伏期的中断处理
- 中断向量入口地址直接传递到内核
- 紧密结合的 NVIC 内核接口
- 允许中断的早期处理
- 对晚到的较高优先级的中断的处理
- 支持尾链
- 自动保存处理器状态
- 中断退出时进入中断不会产生指令开销

这个硬件模块以最小的中断延迟提供灵活的中断管理功能。

2.9.2 扩展中断/事件控制器（EXTI）

外部中断/事件控制器包含 24 条沿检测线，用于产生中断/事件请求和唤醒系统。每一路可以独立配置选择触发事件（上升沿，下降沿，两者），可独立屏蔽。挂起寄存器维持中断请求的状态。EXTI 可以在外部线路上检测到比内部时钟周期短的窄脉冲。可以连接到 16 个外部中断线路多达 55 个 GPIO。

2.10 模数转换器（ADC）

12 位模拟数字转换器有多达 16 个外部和 3 个内部（温度传感器，电压基准，VBAT 电压测量）通道，可执行单次或扫描模式的转换。在扫描模式下，自动转换会按照选定的一组模拟输入来执行。

ADC 接口可接受 DMA 控制器的服务。

模拟看门狗功能允许非常精确的监测一个、几个或全部的选择通道的转换电压。转换结果超出设定的阈值电压时，会产生一个中断。

2.10.1 温度传感器

温度传感器(TS)产生一个随温度线性变化的电压 V_{SENSE} 。

温度传感器内部连接到 ADC_IN16 的输入通道，用于将传感器的输出电压转换成数字值。

该传感器具有良好的线性度，但必须进行校准才能获得良好的温度测量精度。由于工艺过程中温度传感器的偏移量因芯片而异，因此未校准的内部温度传感器适用于仅检测温度变化的应用。

表 2 温度传感器校准值

校准值名称	描述	内存地址
TS_CAL1	TS ADC原始数据在温度在30 °C，得到 $V_{DDA}= 3.3 V$	0x1FFF F7B8 - 0x1FFF F7B9
TS_CAL2	TS ADC原始数据在温度在110 °C， $V_{DDA}= 3.3 V$	0x1FFF F7C2 - 0x1FFF F7C3

2.10.2 内部参考电压(V_{REFINT})

内部参考电压(V_{REFINT})提供了一个稳定的（带隙）电压输出对于ADC。 V_{REFINT} 是内部连接到ADC_IN17的输入通道。

表 3 内部参考电压校准值

校准值名称	描述	内存地址
VREFINT_CAL	原始数据在温度在30 °C，得到 $V_{DDA}= 3.3 V$	0x1FFF F7BA - 0x1FFF F7BB

2.10.3 V_{BAT} 的电池电压监测

这个功能允许应用程序使用内部 ADC 通道 ADC_IN18 来对 V_{BAT} 电池电压进行测量。由于 V_{BAT} 电压可能高于 V_{DDA} ，从而超出 ADC 的输入范围，所以， V_{BAT} 引脚内部连接一个电阻桥进行了 2 分压。因此，转换后的数字值是 V_{BAT} 电压的一半。

2.11 数模转换器 (DAC)

12 位缓冲 DAC 通道可用于数字信号转换成模拟电压信号输出。所选择电路结构为电阻网络和一个同相放大器的总成。

这个数字接口支持以下功能：

- 12 位模式下，左或右数据对齐
- 同步更新功能

- DMA 功能
- 外部触发转换

DAC 有 5 个触发源。通过 DAC 触发定时器的输出来触发,而且 DAC 接口还有它自己的 DMA 请求。

2.12 比较器(COMP)

该器件内置两个快速rail-to-rail低功耗比较器,具有可编程参考电压(内部或外部),迟滞和速度(低功耗低速)可选输出极性。

参考电压为下列之一:

- 外部I/O
- DAC输出引脚
- 内部参考电压或约数(1/4, 1/2, 3/4)。有关内部参考电压的值和精度请参考表 23。

两个比较器都可以从停止模式唤醒,定时器产生的中断也可以组合成窗口比较器。

内部参考电压也连接到ADC的输入通道ADC_IN17。

2.13 触摸传感控制器(TSC)

CKS32F051xx为应用添加电容式感应功能提供了简单的解决方案。电容式传感技术能够检测电极附近是否存在手指,电极受到电解质(玻璃,塑料...)的直接接触。使用基于表面电荷转移采集原理的成熟实施方式测量由手指(或任何导电物体)引入的电容变化。它包括对电极电容充电,然后将部分累计电荷转移到采样电容中,直到该电容上的电压达到特定阈值。为了限制CPU带宽使用,该采集由硬件触摸传感器直接管理,只需要很少的外部元件即可运行。

CKS32F051xx提供多达18个电容式传感通道,分布在6个模拟I/O组中。

表 4 CKS32F051xx 器件中可作电容传感的 GPIO

组	电容传感信号名称	引脚名	组	电容传感信号名称	引脚名
1	TSC_G1_IO1	PA0	4	TSC_G4_IO1	PA9
	TSC_G1_IO2	PA1		TSC_G4_IO2	PA10
	TSC_G1_IO3	PA2		TSC_G4_IO3	PA11
	TSC_G1_IO4	PA3		TSC_G4_IO4	PA12
2	TSC_G2_IO1	PA4	5	TSC_G5_IO1	PB3
	TSC_G2_IO2	PA5		TSC_G5_IO2	PB4
	TSC_G2_IO3	PA6		TSC_G5_IO3	PB6
	TSC_G2_IO4	PA7		TSC_G5_IO4	PB7
3	TSC_G3_IO1	PC5	6	TSC_G6_IO1	PB11

	TSC_G3_IO2	PB0		TSC_G6_IO2	PB12
	TSC_G3_IO3	PB1		TSC_G6_IO3	PB13
	TSC_G3_IO4	PB2		TSC_G6_IO4	PB14

表 5 CKS32F051xx 设备上可用的电容式感应通道配备

模拟 I/O 口组	电容式感应通道的数量		
	CKS32F051Rx	CKS32F051Cx	CKS32F051Kx
G1	3	3	3
G2	3	3	3
G3	3	2	1
G4	3	3	3
G5	3	3	3
G6	3	3	0
电容感应通道的数量	18	17	14

2.14 定时器和看门狗

CKS32F051xx 系列器件包括多达 6 个通用定时器，基本定时器和一个高级控制定时器。表 6 比较高级控制，通用和基本定时器的功能。

表 6 定时器功能比较

定时器类型	定时器	计数器的分辨率	计数器类型	预分频因子	DMA 请求产生	捕获/比较通道	互补输出
高级控制	TIM1	16 位	上,下,上/下	1 和 65536 之间的任何整数	是	4	是
通用	TIM2	32 位	上,下,上/下	1 和 65536 之间的任何整数	是	4	否
	TIM3	16 位	上,下,上/下	1 和 65536 之间的任何整数	是	4	否
	TIM14	16 位	上	1 和 65536 之间的任何整数	否	1	否
	TIM15	16 位	上	1 和 65536 之间的任何整数	是	2	是
	TIM16, TIM17	16 位	上	1 和 65536 之间的任何整数	是	1	是
基本	TIM6	16 位	上	1 和 65536 之间的任何整数	是	0	否

2.14.1 高级控制定时器 (TIM1)

高级控制定时器(TIM1)可以被看作是 6 通道三相 PWM 发生器。它具有互补的 PWM 输出, 可编程死区时间插入。它也可以被看作是一个完整的通用定时器。4 个独立的通道, 可用于:

- 输入捕捉
- 输出比较
- PWM 生成 (边缘或中心对齐模式)
- 单脉冲模式输出

如果作为一个标准的 16 位定时器配置, 和 TIMx 定时器具有相同的功能。如果配置为 16 位 PWM 发生器, 它具有全调制能力 (0-100%)。

在调试模式下, 计数器可以被冻结。

很多功能与那些有相同的架构的标准计时器相同。先进的控制定时器还可以通过定时器链接功能和其他定时器协同工作。

2.14.2 通用定时器 (TIM2...3, TIM14 ... 17)

在 CKS32F051xx 设备中有六个同步的通用定时器 (差异见表 6)。每个通用定时器可以用来产生 PWM 输出, 或作为简单的时基。

TIM2, TIM3

CKS32F051xx 器件具有两个同步的 4 通道通用定时器。TIM2 基于一个 32 位的自动加载的递加/递减计数器和一个 16 位的预分频器。TIM3 基于一个 16 位的自动加载的递加 /递减计数器和一个 16 位的预分频器。他们设有 4 个独立的输入捕捉/输出比较, PWM 和单脉冲模式输出的通道。可提供最多 12 个输入捕捉/输出比较/ PWM 通道上的最大化的组合。

TIM2 及 TIM3 通用定时器可以与 TIM1 的高级控制定时器通过定时器链接功能, 同步或事件链接在一起, 协同工作。

TIM2 及 TIM3 都有独立的 DMA 请求产生。

这些定时器能够处理正交 (增量) 的编码器信号和数字输出从 1 到 3 个霍尔效应传感器。在调试模式下, 计数器可以被冻结。

TIM14

基于一个 16 位的自动加载的递加计数器和一个 16 位的预分频器。

TIM14 设有一个单一通道输入捕捉/输出比较, PWM 或单脉冲模式输出。

在调试模式下, 计数器可以被冻结。

TIM15, TIM16 和 TIM17

基于一个 16 位的自动加载的递加计数器和一个 16 位的预分频器。

TIM15 有两个独立的通道，而 TIM16 和 TIM17 只有单通道输入捕捉/输出比较，PWM 和单脉冲模式输出。

TIM15, TIM16 和 TIM17 可以一起工作，其中 TIM15 还可以与 TIM1 的高级控制定时器通过定时器链接功能，同步或事件链接在一起。

TIM15 也可以与 TIM16 和 TIM17 同步。

TIM15, TIM16, TIM17 有互补输出死区时间生成和独立的 DMA 请求产生。

在调试模式下，计数器可以被冻结。

2.14.3 基本定时器 TIM6

此定时器主要用于产生 DAC 触发。它也可以被用来作为一种通用的 16 位时基。

2.14.4 独立窗口看门狗 (IWDG)

独立的窗口看门狗基于一个 8 位预分频器和 12 位的递减计数器和用户定义的刷新窗口。它由一个独立的 40kHz 的内部 RC 时钟驱动，因为它独立于主时钟运作，所以它可以在停机和待机模式保持运行。它可以用来作为一个看门狗在出现问题时重置设备，或作为自由运行定时器为应用程序提供超时管理。它可通过选项字节由硬件配置或软件配置。在调试模式下，计数器可以被冻结。

2.14.5 系统窗口看门狗 (WWDG)

系统窗口看门狗基于一个 7 位的递减计数器，可以设置成自由运行。它可以用来作为看门狗在出现问题时重置设备。它的时钟取自 APB 时钟 (PCLK)。它有一个预警中断功能，计数器在调试模式下可以被冻结。

2.14.6 SysTick 定时器

这个定时器是实时操作系统专用的，但也可以作为一个标准的递减计数器使用。它的特点：

- 24 位递减计数器
- 自装填能力
- 计数器达到 0 时，有可屏蔽的系统中断的产生。
- 可编程时钟源 (HCLK 或 HCLK / 8)

2.15 实时时钟（RTC）和后备寄存器

RTC 和 5 个备份寄存器在 V_{DD} 掉电时通过自动开关由 V_{BAT} 引脚供电。备份寄存器是 5 个 32 位寄存器，在 V_{DD} 掉电时用于存储 20 个字节的用户应用数据。他们在电源复位或器件从待机模式唤醒时不会丢失。

RTC 的定时/计数器是一个独立的 BCD 定时/计数器。其主要特点如下：

- 子秒，秒，分钟，小时（12 或 24 格式），星期，日，月，年，在 BCD（二进制编码的十进制）格式的日历。
- 每个月自动校正为 28，29（闰年），30 日和 31 日。
- 可编程闹钟可以从停机和待机模式唤醒。
- 从 1 到 32767 RTC 时钟脉冲的动态校正。这可以用来与主时钟同步。
- 分辨率为 1 ppm 的数字校准电路，石英晶体误差补偿。
- 2 个防篡改检测引脚带可编程滤波器。MCU 可以被篡改事件检测从停机和待机模式唤醒。
- 时间戳功能，可用于保存日历内容。此功能可以通过事件时间戳引脚，或通过篡改事件触发。MCU 可以被时间戳事件从停机和待机模式唤醒。

RTC 时钟源可以是：

- 一个 32.768 kHz 的外部晶振
- 一个谐振器或振荡器
- 内部低功耗 RC 振荡器（典型频率为 40 kHz）
- 高速的外部时钟除以 32

2.16 内部集成电路接口（I²C）

多至两个 I²C 接口（I2C1 和 I2C2）可以在多主或从模式运作。既可以支持标准模式（高达 100 千比特/秒）也可以支持快速模式（高达 400 千比特/秒），I2C1 更支持超快速模式 Plus（高达 1 兆位/秒），20 mA 输出驱动能力。

都支持 7 位和 10 位寻址模式，多个 7 位从地址（2 地址，其中一个功能可屏蔽）。他们还包括可编程的模拟和数字噪声滤波器。

表 7 I2C 模拟和数字滤波器的比较

	模拟滤波器	数字滤波器
抑制尖峰脉冲宽度	≥ 50 纳秒	可编程长度从 1 到 15 个 I2C 外设时钟
好处	可在停止模式使用	1. 额外的过滤能力超过标准的要求。 2. 稳定长度
缺点	受温度，电压和工艺的变化影响	从停止模式唤醒时会自动禁用

此外，I2C1 的提供 SMBus 2.0 及 1.1 的 PMBus 硬件支持：ARP 功能，主机通知协议，硬件 CRC（PEC）的生成/校验，超时核查和警报协议管理。I2C1 还拥有独立于 CPU 时钟的时钟域，允许 I2C1 根据从地址匹配事件将 MCU 从停止模式唤醒。

I2C 接口可接受 DMA 控制器的服务。I2C1 和 I2C2 之间的差异，请参考表 8。

表 8 CKS32F051xx 的 I²C 具体功能

I2C 的功能 ⁽¹⁾	I2C1	I2C2
7 位寻址模式	X	X
10 位寻址模式	X	X
标准模式（高达 100 千比特/秒）	X	X
快速模式（高达 400 千比特/秒）	X	X
快速模式 Plus 20mA 输出驱动器的 I/O（高达 1 兆位/秒）	X	-
独立的时钟	X	-
SMBus	X	-
从 STOP 唤醒	X	-

1. X= 支持

2.17 通用同步/异步收发器（USART）

器件内置多达两个通用同步/异步收发器（USART1 和 USART2），通信速度可达 6 Mbit/s。

他们提供硬件管理的 CTS，RTS 信号和 RS485 的 DE 信号，多处理器通信模式，主同步通信和单线半双工通信模式。USART1 的还支持智能卡通信（ISO 7816），IrDA SIR ENDEC, LIN 主/从功能，自动波特率功能，并具有独立于 CPU 时钟的时钟域，允许 USART1 将 MCU 从停止模式唤醒。

USART 接口可接受 DMA 控制器的服务。

USART1 和 USART2 之间的差异，请参考表 9。

表 9 CKS32F051xx USART 设备

USART 模式/特征 ⁽¹⁾	USART1	USART 2
调制解调器硬件流控制	X	X
使用 DMA 持续通信	X	X
多处理器通信	X	X
同步模式	X	X
智能卡模式	X	-
单线半双工通信	X	X

IrDA SIR ENDEC block	X	-
LIN 模式	X	-
双时钟域和从停止模式唤醒	X	-
接收超时中断	X	-
Modbus 通讯	X	-
自动波特率检测	X	-
驱动程序启用	X	X

1. X= 支持

2.18 串行外设接口(SPI)

一个SPI能够实现高达18Mbit/s的通信，在主模式和从模式，在全双工和半双工通信模式中。3位分频器提供8主模态频率和帧大小配置从4位至16位。

SPI1 的功能和 SPI2 之间的差异请参考表 10。

表 10 CKS32F051xx SPI/I2S 设备

SPI 的功能 ⁽¹⁾	SPI1	SPI2
硬件 CRC 计算	X	X
Rx/Tx FIFO	X	X
NSS 脉冲模式	X	X
I2S 模式	X	-
TI 模式	X	X

1. X= 支持

2.19 高清晰度多媒体接口 (HDMI) - 消费电子控制 (CEC)

设备嵌入了 HDMI-CEC 控制器，提供了硬件支持消费电子控制 (CEC) 的协议（补充 1 至 HDMI 标准）。

该协议提供了在同一地点的全部音像产品间的高级控制功能。它被指定在低速运行，以得到最小的处理量和内存开销。它还拥有独立于 CPU 时钟的时钟域，允许 HDMI_CEC 控制器根据接收事件将 MCU 从停止模式唤醒。

2.20 两线串行调试端口 (SW-DP)

ARM 的 SW-DP 接口允许通过串行线调试工具连接到单片机。

3 引线 and 引脚说明

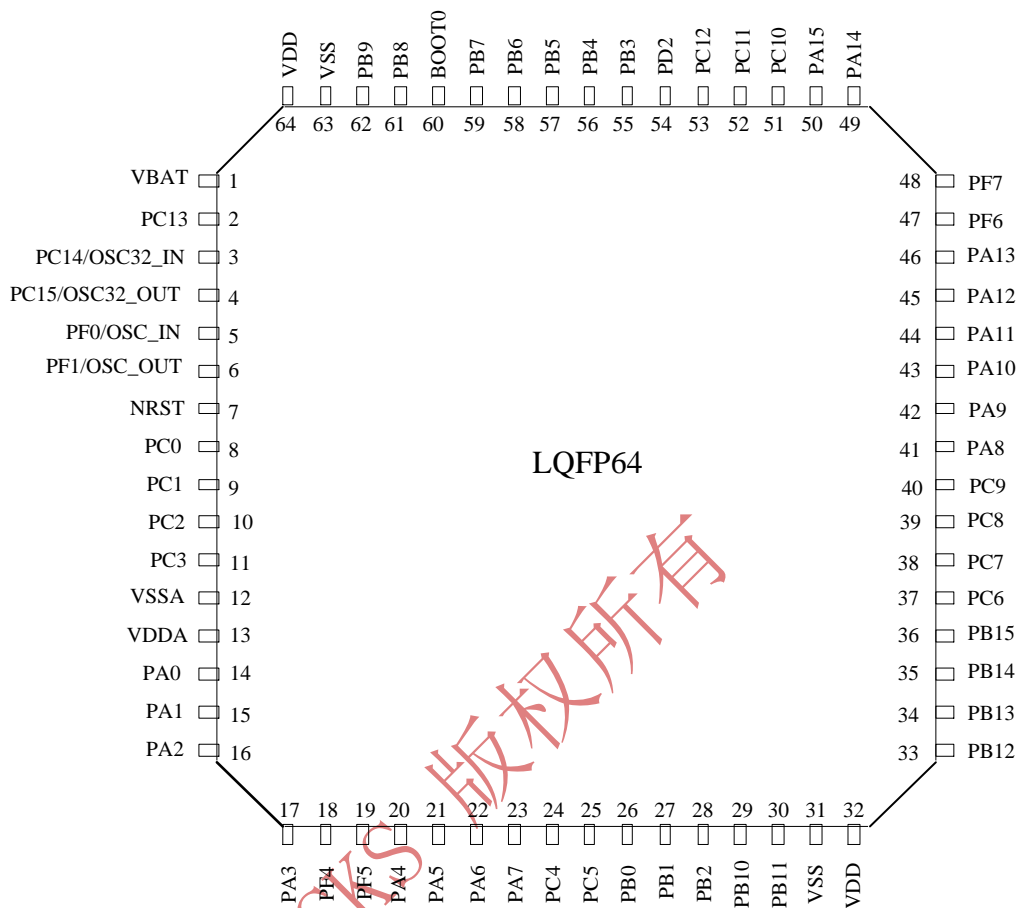


图 3 LQFP64 64 脚封装脚位

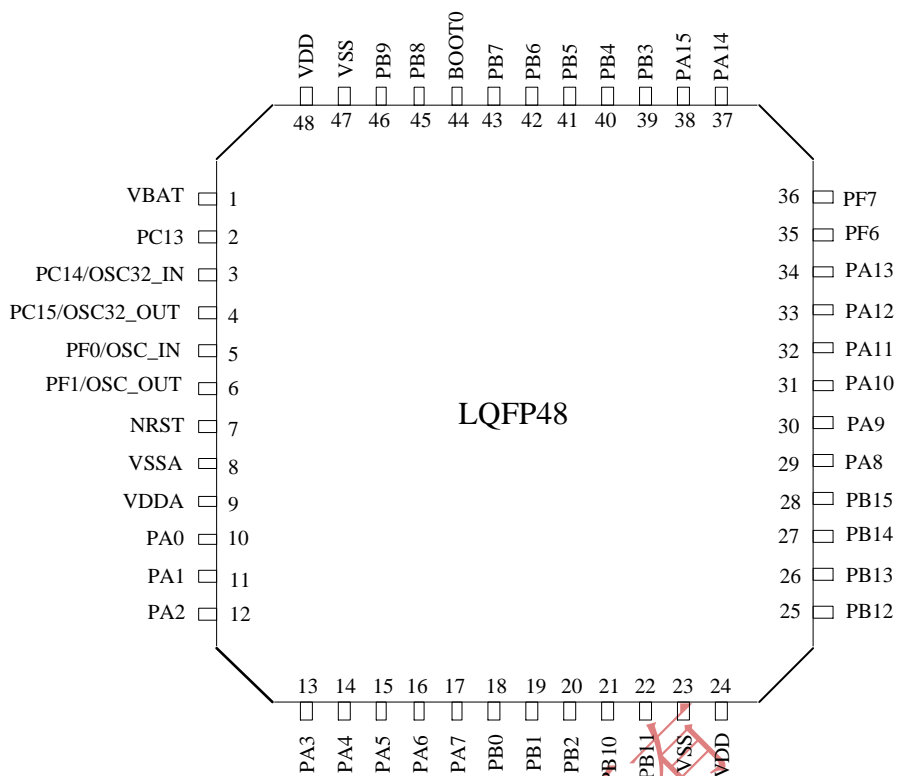


图 4 LQFP48 48 脚封装脚位

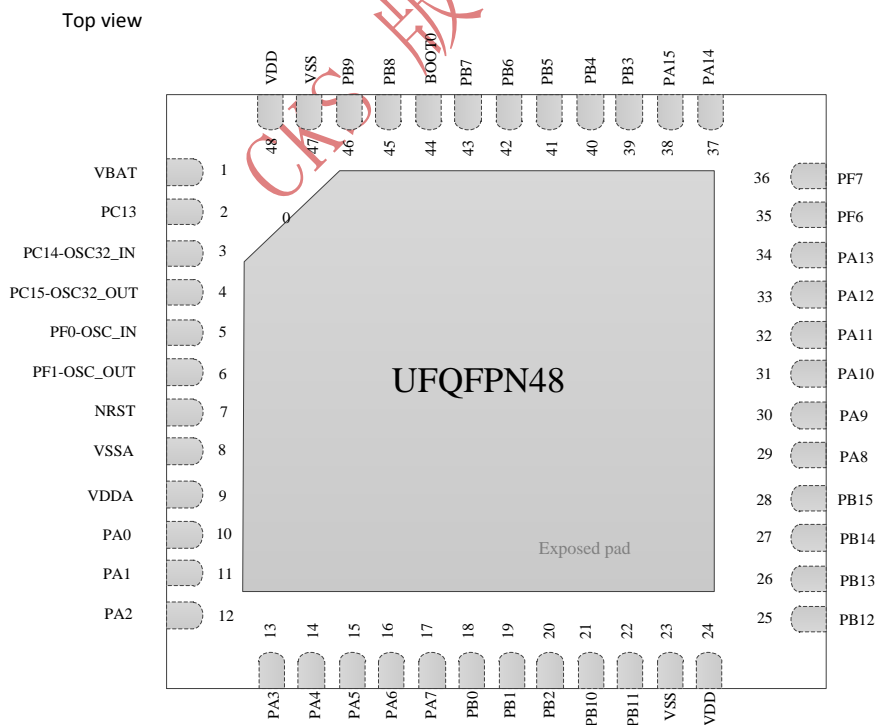


图 5 UFQFPN48 脚封装脚位

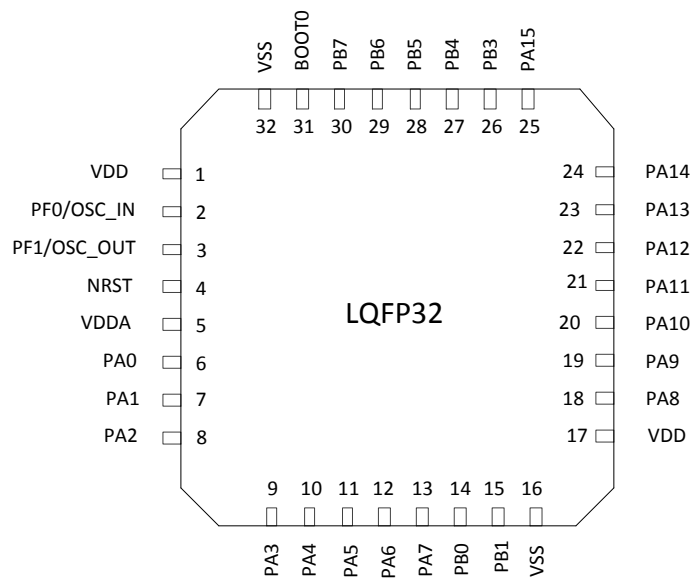


图 6 LQFP32 32 引脚封装脚位

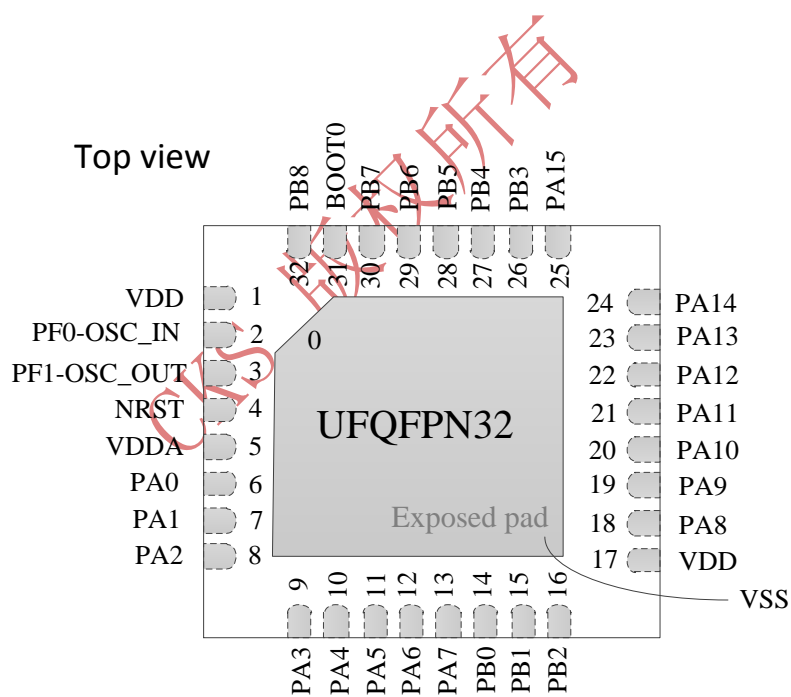


图 7 UFQFPN32 脚封装脚位

表 11 引出线表中使用的缩写

名称	缩写	定义
引脚名	除非在指定的引脚名称下面有括号说明，在复位期间和之后，引脚作为实际使用的功能与引脚名称相同。	
引脚类型	S	电源引脚
	I	仅作为输入
	I/O	输入/输出引脚
I/O 结构	FT	5 V 容忍的 I/O
	FTf	5V 容忍 I/O, FM+能力
	TTa	3.3V 容忍的 I/O 直接连接到 ADC
	TC	标准的 3.3V I/O
	B	专用的 boot0 脚
	RST	带弱上拉电阻的双向复位引脚
注	除非另有说明指定，所有的 I/O 在复位期间和复位之后，都会设置为浮空输入。	
引脚功能	备用功能	通过 GPIOx_AFR 寄存器选择功能
	附加功能	功能直接通过外设寄存器来选择/启用

CKS 版权所有

表 12 引脚定义

引脚号				引脚名称(复位后的功能)	引脚类型	I/O 结构	注	引脚功能	
LQFP64	LQFP48/UFQFPN48	LQFP32	UFQFPN32					备用功能	附加功能
1	1	-	-	VBAT	S			备用电源	
2	2	-	-	PC13	I/O	TC	(1)(2)		RTC_TAMP1, RTC_TS, RTC_OUT, WKUP2
3	3	-	-	PC14-OSC32_IN (PC14)	I/O	TC	(1)(2)		OSC32_IN
4	4	-	-	PC15-OSC32_OUT (PC15)	I/O	TC	(1)(2)		OSC32_OUT
5	5	2	2	PF0-OSC_IN(PF0)	I/O	FT			OSC_IN
6	6	3	3	PF1-OSC_OUT (PF1)	I/O	FT			OSC_OUT
7	7	4	4	NRST	I/O	RST		器件复位输入/内部复位输出(低电平有效)	
8	-	-	-	PC0	I/O	TTa		EVENTOUT	ADC_IN10
9	-	-	-	PC1	I/O	TTa		EVENTOUT	ADC_IN11
10	-	-	-	PC2	I/O	TTa		EVENTOUT	ADC_IN12
11	-	-	-	PC3	I/O	TTa		EVENTOUT	ADC_IN13
12	8	16	0	VSSA	S			模拟地	
13	9	5	5	VDDA	S			模拟电源	
14	10	6	6	PA0	I/O	TTa		USART2_CTS, TIM2_CH1_ETR, COMP1_OUT, TSC_G1_IO1	ADC_IN0, COMP1_INM6, RTC_TAMP2, WKUP1
15	11	7	7	PA1	I/O	TTa		USART2_RTS, TIM2_CH2, TSC_G1_IO2, EVENTOUT	ADC_IN1, COMP1_INP

表 12 引脚定义 (续)

引脚号				引脚名称(复位后的功能)	引脚类型	I/O 结构	注	引脚功能	
LQFP64	LQFP48/UFQFPN48	LQFP32	UFQFPN32					备用功能	附加功能
16	12	8	8	PA2	I/O	TTa		USART2_TX, TIM2_CH3, TIM15_CH1, COMP2_OUT, TSC_G1_IO3	ADC_IN2, COMP2_INM6
17	13	9	9	PA3	I/O	TTa		USART2_RX, TIM2_CH4, TIM15_CH2, TSC_G1_IO4	ADC_IN3, COMP2_INP
18	-	-	-	PF4	I/O	FT		EVENTOUT	
19	-	-	-	PF5	I/O	FT		EVENTOUT	
20	14	10	10	PA4	I/O	TTa		SPI1_NSS/I2S1-WS, USART2_CK, TIM14_CH1, TSC_G2_IO1	ADC_IN4, COMP1_INM4, COMP2_INM4, DAC1_OUT
21	15	11	11	PA5	I/O	TTa		SPI1_SCK/I2S1_CK, CEC, TIM2_CH_ETR, TSC_G2_IO2	ADC_IN5, COMP1_INM5, COMP2_INM5
22	16	12	12	PA6	I/O	TTa		SPI1_MISO/I2S1_MCK, TIM3_CH1, TIM1_BKIN, TIM16_CH1, COMP1_OUT, TSC_G2_IO3, EVENTOUT	ADC_IN6

表 12 引脚定义 (续)

引脚号				引脚名称(复位后的功能)	引脚类型	I/O 结构	注	引脚功能	
LQFP64	LQFP48/UFQFPN48	LQFP32	UFQFPN32					备用功能	附加功能
23	17	13	13	PA7	I/O	TTa		SPI1_MOSI/I2S1_SD, TIM3_CH2, TIM14_CH1, TIM1_CH1N, TIM17_CH1, COMP2_OUT, TSC_G2_IO4, EVENTOUT	ADC_IN7
24	-	-	-	PC4	I/O	TTa		EVENTOUT	ADC_IN14
25	-	-	-	PC5	I/O	TTa		TSC_G3_IO1	ADC_IN15
26	18	14	14	PB0	I/O	TTa		TIM3_CH3, TIM1_CH2N, TSC_G3_IO2, EVENTOUT	ADC_IN8
27	19	15	15	PB1	I/O	TTa		TIM3_CH4, TIM14_CH1, TIM1_CH3N, TSC_G3_IO3	ADC_IN9
28	20	-	16	PB2	I/O	FT		TSC_G3_IO4	
29	21	-	-	PB10	I/O	FT		I2C2_SCL, CEC, TIM2_CH3, TSC_SYNC	
30	22	-	-	PB11	I/O	FT		I2C2_SDA, TIM2_CH4, TSC_G6_IO1, EVENTOUT	
31	23	16	0	VSS	I/O			数字地	
32	24	17	17	VDD	I/O			数字电源	
33	25	-	-	PB12	I/O	FT		SPI2_NSS, TIM1_BKIN, TSC_G6_IO2, EVENTOUT	
34	26	-	-	PB13	I/O	FT		SPI2_SCK, TIM1_CH1N, TSC_G6_IO3	
35	27	-	-	PB14	I/O	FT		SPI2_MISO, TIM1_CH2N, TIM15_CH1, TSC_G6_IO4	

表 12 引脚定义 (续)

引脚号				引脚名称(复位后的功能)	引脚类型	I/O 结构	注	引脚功能	
LQFP64	LQFP48/UQFPN48	LQFP32	UQFPN32					备用功能	附加功能
36	28	-	-	PB15	I/O	FT		SPI2_MOSI, TIM1_CH3N, TIM15_ CH1N, TIM15_CH2	RTC_REFIN
37	-	-	-	PC6	I/O	FT		TIM3_CH1	
38	-	-	-	PC7	I/O	FT		TIM3_CH2	
39	-	-	-	PC8	I/O	FT		TIM3_CH3	
40	-	-	-	PC9	I/O	FT		TIM3_CH4	
41	29	18	18	PA8	I/O	FT		USART1_CK, TIM1_CH1, EVENTOUT, MCO	
42	30	19	19	PA9	I/O	FT		USART1_TX, TIM1_CH2, TIM15_BKIN, TSC_G4_IO1	
43	31	20	20	PA10	I/O	FT		USART1_RX, TIM1_CH3, TIM17_BKIN, TSC_G4_IO2	
44	32	21	21	PA11	I/O	FT		USART1_CTS, TIM1_CH4, COMP1_OUT, TSC_G4_IO3, EVENTOUT	
45	33	22	22	PA12	I/O	FT		USART1_RTS, TIM1_ETR, COMP2_OUT, TSC_G4_IO4, EVENTOUT	
46	34	23	23	PA13(SWDAT)	I/O	FT	(3)	IR_OUT, SWDAT	
47	35	-	-	PF6	I/O	FT		I2C2_SCL	
48	36	-	-	PF7	I/O	FT		I2C2_SDA	
49	37	24	24	PA14(SWCLK)	I/O	FT	(3)	USART2_TX, SWCLK	

表 12 引脚定义 (续)

引脚号				引脚名称(复位后的功能)	引脚类型	I/O 结构	注	引脚功能	
LQFP64	LQFP48/UQFPN48	LQFP32	UQFPN32					备用功能	附加功能
50	38	25	25	PA15	I/O	FT		SPI1_NSS/I2S1_WS, USART2_RX, TIM2_CH_ETR, EVENTOUT	
51	-	-	-	PC10	I/O	FT			
52	-	-	-	PC11	I/O	FT			
53	-	-	-	PC12	I/O	FT			
54	-	-	-	PD2	I/O	FT		TIM3_ETR	
55	39	26	26	PB3	I/O	FT		SPI1_SCK/I2S1_CK, TIM2_CH2, TSC_G5_IO1, EVENTOUT	
56	40	27	27	PB4	I/O	FT		SPI1_MISO/I2S1_MCK, TIM3_CH1, TSC_G5_IO2, EVENTOUT	
57	41	28	28	PB5	I/O	FT		SPI1_MOSI/I2S1_SD, I2C1_SMBA, TIM16_BKIN, TIM3_CH2	
58	42	29	29	PB6	I/O	FTf		I2C1_SCL, USART1_TX, TIM16_CH1N, TSC_G5_IO3	
59	43	30	30	PB7	I/O	FTf		I2C1_SDA, USART1_RX, TIM17_CH1N, TSC_G5_IO4	
60	44	31	31	BOOT0	I	B		引导存储器选择	
61	45	-	32	PB8	I/O	FTf		I2C1_SCL, CEC, TIM16_CH1, TSC_SYNC	
62	46	-	-	PB9	I/O	FTf		I2C1_SDA, IR_OUT, TIM17_CH1, EVENTOUT	
63	47	32	0	VSS	I/O	S		数字地	
64	48	1	1	VDD	I/O	S		数字电源	

- PC13, PC14 和PC15的供电要通过一个电源开关。由于开关只能吸收有限大小的电流（3mA），PC15 PC13的GPIO输出模式是受限的：
 - 速度不应超过2兆赫与30pF的最大负荷
 - 这些个 GPIO 不能被用来作为电流源（例如：驱动 LED）。
- 第一次备份域上电之后，PC13, PC14 和PC15被当作GPIO使用。其功能取决于备份寄存器的内容，这个部分的设置不会被复位动作清除掉。对于如何管理这些GPIO的详细信息，请参阅参考手册中的电池备份区域和BKP寄存器描述的部分。
- 复位后，这些引脚被配置为SWDAT和SWCLK备用功能，对SWDAT引脚的内部上拉和对SWCLK脚的内部下拉功能是打开的。

表 13 A 口通过 GPIOA_AFR 寄存器选择备用功能

引脚名	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0		USART2_CTS	TIM2_CH1_ETR	TSC_G1_IO1				COMP1_OUT
PA1	EVENTOUT	USART2_RTS	TIM2_CH2	TSC_G1_IO2				
PA2	TIM15_CH1	USART2_TX	TIM2_CH3	TSC_G1_IO3				COMP2_OUT
PA3	TIM15_CH2	USART2_RX	TIM2_CH4	TSC_G1_IO4				
PA4	SPI1_NSS/ I2S1_WS	USART2_CK		TSC_G2_IO1	TIM14_CH1			
PA5	SPI1_SCK/ I2S1_CK	CEC	TIM2_CH1_ETR	TSC_G2_IO2				
PA6	SPI1_MISO/ I2S1_MCK	TIM3_CH1	TIM1_BKIN	TSC_G2_IO3		TIM16_CH1	EVENTOUT	COMP1_OUT
PA7	SPI1_MOSI/ I2S1_SD	TIM3_CH2	TIM1_CH1N	TSC_G2_IO4	TIM14_CH1	TIM17_CH1	EVENTOUT	COMP2_OUT
PA8	MCO	USART1_CK	TIM1_CH1	EVENTOUT				
PA9	TIM15_BKIN	USART1_TX	TIM1_CH2	TSC_G4_IO1				
PA10	TIM17_BKIN	USART1_RX	TIM1_CH3	TSC_G4_IO2				
PA11	EVENTOUT	USART1_CTS	TIM1_CH4	TSC_G4_IO3				COMP1_OUT
PA12	EVENTOUT	USART1_RTS	TIM1_ETR	TSC_G4_IO4				COMP2_OUT
PA13	SWDAT	IR_OUT						
PA14	SWCLK	USART2_TX						
PA15	SPI1_NSS/ I2S1_WS	USART2_RX	TIM2_CH1_ETR	EVENTOUT				

表 14 B 口通过 GPIOB_AFR 寄存器选择备用功能

引脚名	AF0	AF1	AF2	AF3
PB0	EVENOUT	TIM3_CH3	TIM1_CH2N	TSC_G3_IO2
PB1	TIM14_CH1	TIM3_CH4	TIM1_CH3N	TSC_G3_IO3
PB2				TSC_G3_IO4
PB3	SPI1_SCK/I2S1_CK	EVENTOUT	TIM2_CH2	TSC_G5_IO1
PB4	SPI1_MISO/I2S1_MCK	TIM3_CH1	EVENTOUT	TSC_G5_IO2
PB5	SPI1_MOSI/I2S1_SD	TIM3_CH2	TIM16_BKIN	I2C1_SMBA
PB6	USART1_TX	I2C1_SCL	TIM16_CH1N	TSC_G5_IO3
PB7	USART1_RX	I2C1_SDA	TIM17_CH1N	TSC_G5_IO4
PB8	CEC	I2C1_SCL	TIM16_CH1	TSC_SYNC
PB9	IR_OUT	I2C1_SDA	TIM17_CH1	EVENTOUT
PB10	CEC	I2C1_SCL	TIM2_CH3	TSC_SYNC
PB11	EVENTOUT	I2C1_SDA	TIM2_CH4	TSC_G6_IO1
PB12	SPI2_NSS	EVENTOUT	TIM1_BKIN	TSC_G6_IO2
PB13	SPI2_SCK		TIM1_CH1N	TSC_G6_IO3
PB14	SPI2_MISO	TIM15_CH1	TIM1_CH2N	TSC_G6_IO4
PB15	SPI2_MOSI	TIM15_CH2	TIM1_CH3N	TIM15_CH1N

CKS 版权所有

4 内存映射

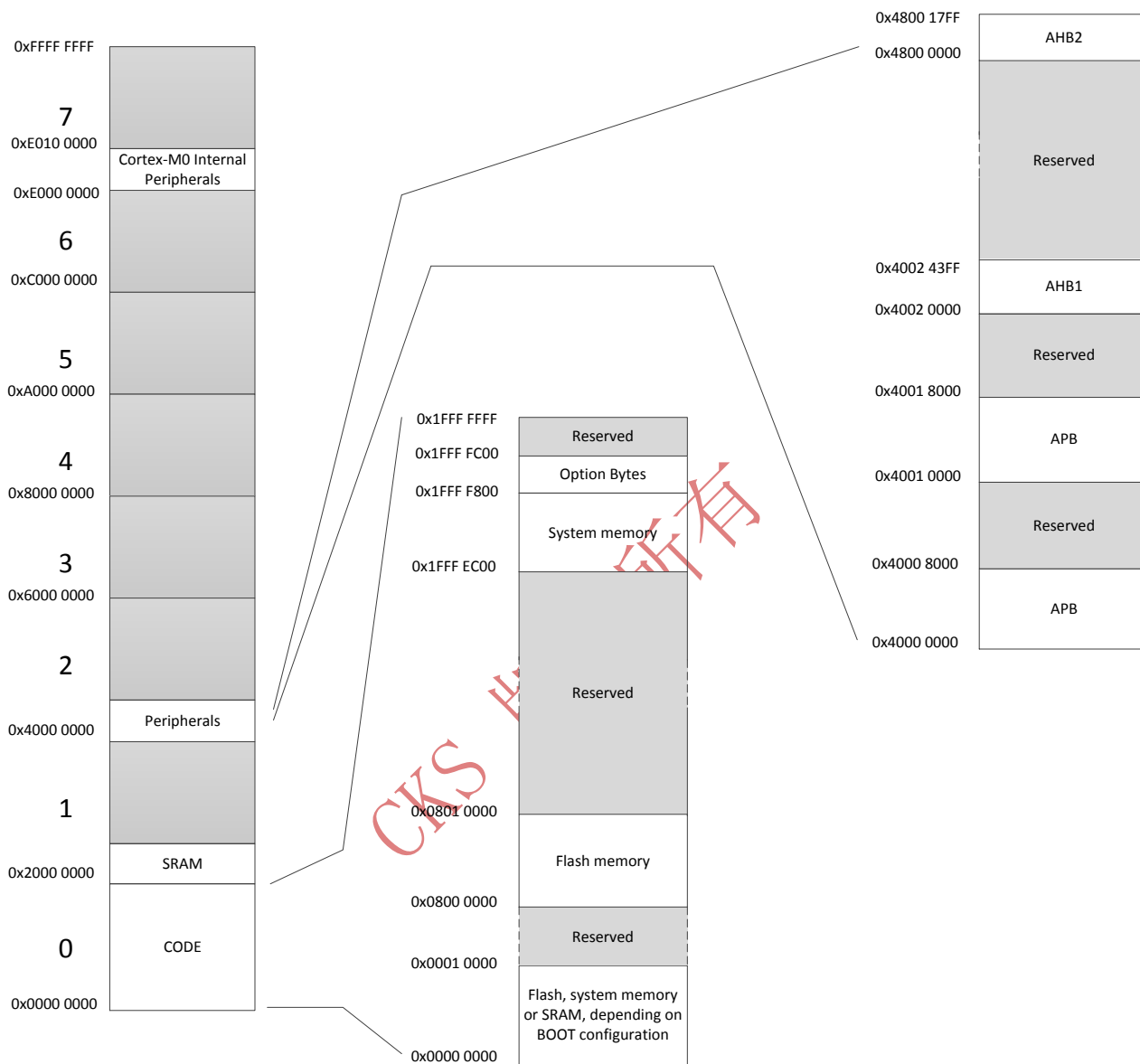


图 8 CKS32F051xx 内存映射

表 15 CKS32F051xx 外设寄存器边界地址

总线	边界地址	大小	外围设备
	0x4800 1800 – 0x5FFF FFFF	~384MB	保留
AHB2	0x4800 1400 – 0x4800 17FF	1KB	GPIOF
	0x4800 1000 – 0x4800 13FF	1KB	保留
	0x4800 0C00 – 0x4800 0FFF	1KB	GPIOD
	0x4800 0800 – 0x4800 0BFF	1KB	GPIOC
	0x4800 0400 – 0x4800 07FF	1KB	GPIOB
	0x4800 0000 – 0x4800 03FF	1KB	GPIOA
		0x4002 4400 – 0x47FF FFFF	~128 MB
AHB1	0x4002 4000 – 0x4002 43FF	1KB	TSC
	0x4002 3400 – 0x4002 3FFF	3KB	保留
	0x4002 3000 – 0x4002 33FF	1KB	CRC
	0x4002 2400 – 0x4002 2FFF	3KB	保留
	0x4002 2000 – 0x4002 23FF	1KB	FLASH 接口
	0x4002 1400 – 0x4002 1FFF	3KB	保留
	0x4002 1000 – 0x4002 13FF	1KB	RCC
	0x4002 0400 – 0x4002 0FFF	3KB	保留
	0x4002 0000 – 0x4002 03FF	1KB	DMA
		0x4001 8000 – 0x4001 FFFF	32KB
APB	0x4001 5C00 – 0x4001 7FFF	9 KB	保留
	0x4001 5800 – 0x4001 5BFF	1 KB	DBGMCU
	0x4001 4C00 – 0x4001 57FF	3 KB	保留
	0x4001 4800 – 0x4001 4BFF	1 KB	TIM17
	0x4001 4400 – 0x4001 47FF	1 KB	TIM16
	0x4001 4000 – 0x4001 43FF	1 KB	TIM15
	0x4001 3C00 – 0x4001 3FFF	1 KB	保留
	0x4001 3800 – 0x4001 3BFF	1 KB	USART1
	0x4001 3400 – 0x4001 37FF	1 KB	保留
	0x4001 3000 – 0x4001 33FF	1 KB	SPI1/I2S1
	0x4001 2C00 – 0x4001 2FFF	1 KB	TIM1
	0x4001 2800 – 0x4001 2BFF	1 KB	保留
	0x4001 2400 – 0x4001 27FF	1 KB	ADC

表 15 CKS32F051xx 外设寄存器边界地址(续)

总线	边界地址	大小	外围设备
APB	0x4001 0800 – 0x4001 23FF	7 KB	保留
	0x4001 0400 – 0x4001 07FF	1 KB	EXTI
	0x4001 0000 – 0x4001 03FF	1 KB	SYSCFG + COMP
	0x4000 8000 – 0x4000 FFFF	32 KB	保留
APB	0x4000 7C00 – 0x4000 7FFF	1 KB	保留
	0x4000 7800 – 0x4000 7BFF	1 KB	CEC
	0x4000 7400 – 0x4000 77FF	1 KB	DAC
	0x4000 7000 – 0x4000 73FF	1 KB	PWR
	0x4000 5C00 – 0x4000 6FFF	5 KB	保留
	0x4000 5800 – 0x4000 5BFF	1 KB	I2C2
	0x4000 5400 – 0x4000 57FF	1 KB	I2C1
	0x4000 4800 – 0x4000 53FF	3 KB	保留
	0x4000 4400 – 0x4000 47FF	1 KB	USART2
	0x4000 3C00 – 0x4000 43FF	2 KB	保留
	0x4000 3800 – 0x4000 3BFF	1 KB	SPI2
	0x4000 3400 – 0x4000 37FF	1 KB	保留
	0x4000 3000 – 0x4000 33FF	1 KB	IWWDG
	0x4000 2C00 – 0x4000 2FFF	1 KB	WWDG
	0x4000 2800 – 0x4000 2BFF	1 KB	RTC
	0x4000 2400 – 0x4000 27FF	1 KB	保留
	0x4000 2000 – 0x4000 23FF	1 KB	TIM14
	0x4000 1400 – 0x4000 1FFF	3 KB	保留
	0x4000 1000 – 0x4000 13FF	1 KB	TIM6
	0x4000 0800 – 0x4000 0FFF	2 KB	保留
	0x4000 0400 – 0x4000 07FF	1 KB	TIM3
	0x4000 0000 – 0x4000 03FF	1 KB	TIM2

5 电气特性

5.1 测试条件

除非特别说明，所有电压的都以 V_{SS} 为基准。

5.1.1 最小和最大数值

除非特别说明，在生产线上通过对 100% 的产品在环境温度 $T_A=25\text{ }^\circ\text{C}$ 和 $T_A=T_{Amax}$ 下执行的测试(T_{Amax} 与选定的温度范围匹配)，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\Sigma$)得到。

5.1.2 典型数值

除非特别说明，典型数据是基于 $T_A=25\text{ }^\circ\text{C}$ 和 $V_{DD}=3.3\text{V}$ ($2\text{V} \leq V_{DD} \leq 3.3\text{V}$ 电压范围)。这些数据仅用于设计指导而未经测试。

典型的 ADC 精度数值是通过对一个标准的批次采样，在所有温度范围下测试得到，95% 产品的误差小于等于给出的数值(平均 $\pm 2\Sigma$)。

5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4 负载电容

测量引脚参数时的负载条件示于图 9 中。

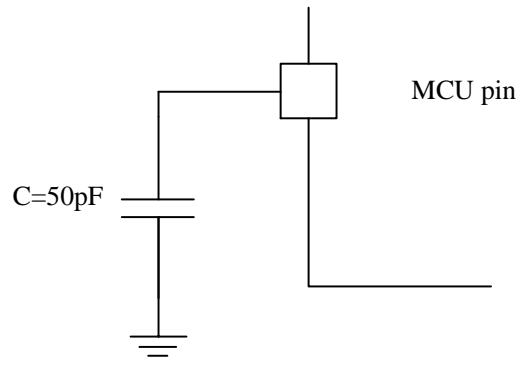


图 9 引脚的负载条件

5.1.5 引脚输入电压

引脚上输入电压的测量方式示于图 10 中。

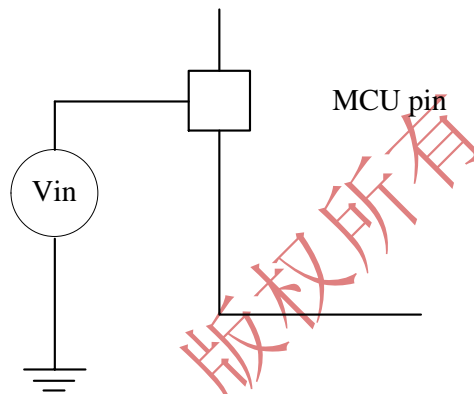


图 10 引脚输入电压

5.1.6 供电方案

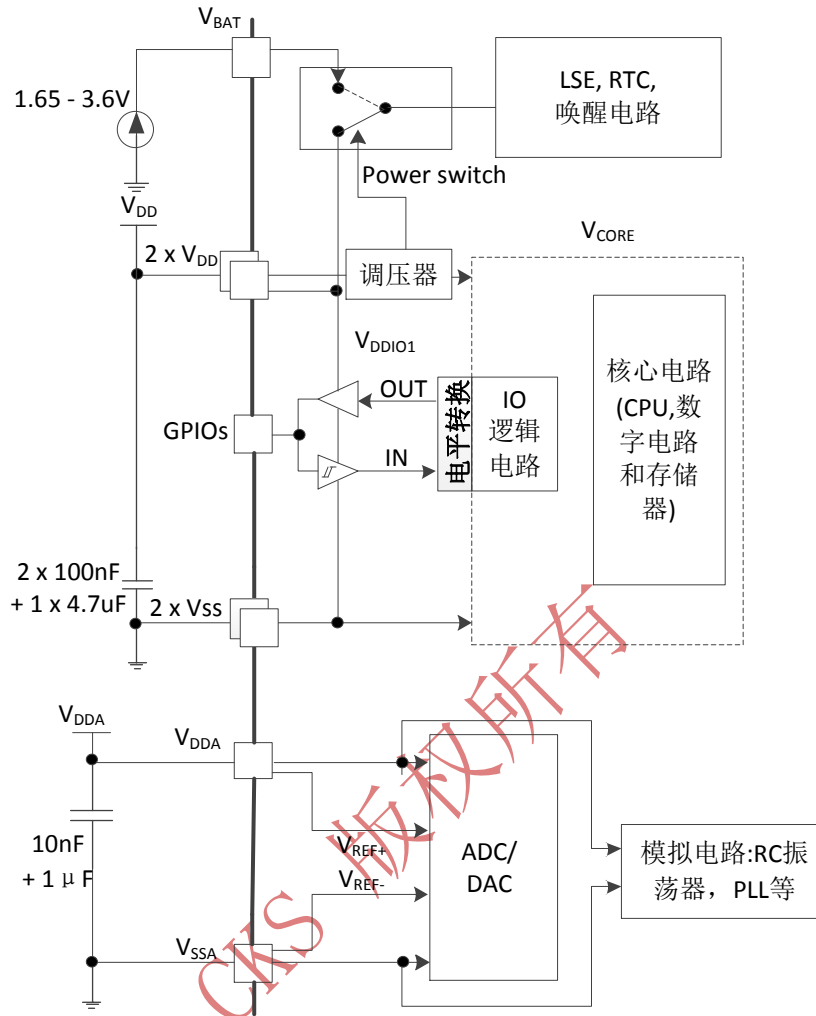


图 11 供电方案

注：每个供电对(VDD/VSS, VDDA/VSSA等) 必须如上图所示，与滤波陶瓷电容器解耦。这些电容器必须尽可能靠近或低于PCB底部的适当引脚，以确保器件的功能良好。

5.1.7 电流消耗测量

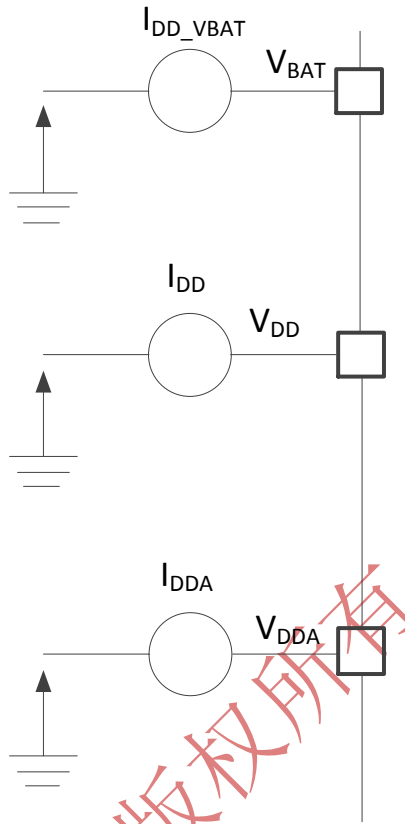


图 12 电流消耗测量方案

5.2 绝对最大额定值

加在器件上的载荷如果超过绝对最大额定值列表(表 16,表 17,表 18)中给出的值,可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷,并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 16 电压特性⁽¹⁾

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外部主供电电压(包含 V_{DDA} 和 V_{DD})	-0.3	4.0	V
$V_{DD} - V_{DDA}$	允许 $V_{DD} > V_{DDA}$ 的电压差	-	0.4	
$V_{IN}^{(2)}$	在 FT 和 FTf 引脚上的输入电压	$V_{SS} - 0.3$	$V_{DD} + 4.0$	
	在 TTa 引脚上的输入电压	$V_{SS} - 0.3$	4.0	
	在其它引脚上的输入电压 ⁽²⁾	$V_{SS} - 0.3$	4.0	
$ \Delta V_{DDx} $	不同供电引脚之间的电压差	-	50	mV
$ V_{SSx} - V_{SS} $	不同接地引脚之间的电压差	-	50	
$V_{ESD(HBM)}$	ESD 静电放电电压(人体模型)	参见第 5.3.11 节		

1. 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。

2. $V_{IN(PIN)}$ 绝对不可以超过它的极限(见表 17), 即保证 V_{IN} 不超过其最大值。

表 17 电流特性

符号	描述	最大值	单位
ΣI_{VDD}	经过所有 VDD 电源线的总电流(供应电流) ⁽¹⁾	120	mA
ΣI_{VSS}	经过所有 VSS 地线的总电流(流出电流) ⁽¹⁾	-120	
$I_{VDD(PIN)}$	经过每个 VDD 电源引脚的最大电流(供应电流) ⁽¹⁾	100	
$I_{VSS(PIN)}$	经过每个 VSS 地线引脚的最大电流(流出电流) ⁽¹⁾	-100	
$I_{IO(PIN)}$	任意 I/O 和控制引脚上的输出灌电流	25	
	任意 I/O 和控制引脚上的输出电流	-25	
$\Sigma I_{IO(PIN)}$	所有 I/O 和控制引脚上的总输出灌电流 ⁽²⁾	80	
	所有 I/O 和控制引脚上的总输出电流 ⁽²⁾	-80	
$I_{INJ(PIN)}$ ⁽³⁾	FT 和 FTf 引脚的注入电流	-5/+0 ⁽⁴⁾	
	TC 和 RST 引脚的注入电流	±5	
	TTa 引脚的注入电流 ⁽⁵⁾	±5	
$\Sigma I_{INJ(PIN)}$	总注入电流(所有 I/O 和控制引脚上的和) ⁽⁶⁾	±25	

- 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。
- 这些 I/O 口上不能进行正向注入, 输入电压低于指定的最大值时也不会出现正向注入。
- $I_{INJ(PIN)}$ 绝对不可以超过它的极限, 即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值, 也要保证在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时, 有一个正向注入电流; 当 $V_{IN} < V_{SS}$ 时, 有一个反向注入电流。
- $I_{INJ(PIN)}$ 绝对不可以超过它的极限, 即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值, 也要保证在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DDA}$ 时, 有一个正向注入电流; 当 $V_{IN} < V_{SS}$ 时, 有一个反向注入电流。反向注入电流会干扰器件的模拟性能。见表 56 下的注释 2。
- 当几个 I/O 口同时有注入电流时, $\Sigma I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。该结果基于在器件 4 个 I/O 端口上 $\Sigma I_{INJ(PIN)}$ 最大值的特性。

表 18 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-65~+150	℃
T_J	最大结温度	150	℃

5.3 工作条件

5.3.1 通用工作条件

表 19 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率		0	48	MHz
f_{PCLK}	内部 APB 时钟频率		0	48	
V_{DD}	标准工作电压		2.0	3.6	V
$V_{DDA}^{(1)}$	模拟部分工作电压(未使用 ADC)	必须与 V_{DD} 相同	V_{DD}	3.6	
	模拟部分工作电压(使用 ADC)		2.4	3.6	
V_{BAT}	备份部分工作电压		1.65	3.6	
V_{IN}	引脚输入电压	TC 和 RST 引脚	-0.3	$V_{DDIOX}+0.3$	V
		在 TTa 引脚	-0.3	$V_{DDA}+0.3^{(1)}$	
		在 FT 和 FTf 引脚	-0.3	$5.5^{(1)}$	
		BOOT0	0	5.5	
P_D	功率耗散 温度标号 6: $T=85\text{ }^{\circ}\text{C}$ 温度标号 7 : $T=105\text{ }^{\circ}\text{C}^{(2)}$	LQFP64		444	mW
		LQFP48		364	
		LQFP32		357	
		UFQFPN32		526	
		UFQFPN48		625	
T_A	环境温度(温度标号 6)	最大功率耗散	-40	85	°C
		低功率耗散 ⁽³⁾	-40	105	
	环境温度(温度标号 7)	最大功率耗散	-40	105	
		低功率耗散 ⁽³⁾	-40	125	
T_J	结温度范围	温度标号 6	-40	105	
		温度标号 7	-40	125	

1. 当使用 ADC 时，参见表 54。
2. 如果 T_A 较低，只要 T_J 不超过 T_{Jmax} (参见表 18)，则允许更高的 P_D 数值。
3. 在较低的功率耗散的状态下，只要 T_J 不超过 T_{Jmax} (参见表 18)， T_A 可以扩展到这个范围。

5.3.2 上电和掉电时的工作条件

下表中给出的参数是在一般的工作条件下测试得出。

表 20 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 上升速率		0	∞	$\mu\text{s/V}$
	V_{DD} 下降速率		20	∞	
t_{VDDA}	V_{DDA} 上升速率		0	∞	
	V_{DDA} 下降速率		20	∞	

5.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 19 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 21 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{POR/PDR}^{(1)}$	上电/掉电复位阈值	下降沿	1.8 ⁽²⁾	1.88	1.96	V
		上升沿	1.84	1.92	2.00	V
$V_{PDRhyst}^{(1)}$	PDR 迟滞			40		mV
$t_{RSTTEMPO}^{(3)}$	复位持续时间		1.5	2.5	4.5	ms

1. POR检测器监督 V_{DD} 和 V_{DDA} (如果保持在选项字节中启用)。POR检测器只监督 V_{DD} 。
2. 产品的特性由设计保证至最小的数值 $V_{POR/PDR}$ 。
3. 由设计保证，不在生产中测试。

表 22 可编程电压检测器特性

符号	参数	条件	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
V_{PVD0}	PVD 阈值 0	上升沿	2.10	2.18	2.26	V
		下降沿	2.05	2.08	2.16	V
V_{PVD1}	PVD 阈值 1	上升沿	2.19	2.28	2.37	V
		下降沿	2.10	2.15	2.27	V
V_{PVD2}	PVD 阈值 2	上升沿	2.28	2.38	2.48	V
		下降沿	2.20	2.25	2.38	V
V_{PVD3}	PVD 阈值 3	上升沿	2.38	2.48	2.58	V
		下降沿	2.28	2.38	2.48	V
V_{PVD4}	PVD 阈值 4	上升沿	2.47	2.58	2.69	V
		下降沿	2.40	2.45	2.59	V
V_{PVD5}	PVD 阈值 5	上升沿	2.57	2.68	2.79	V
		下降沿	2.47	2.58	2.69	V
V_{PVD6}	PVD 阈值 6	上升沿	2.66	2.78	2.90	V
		下降沿	2.56	2.68	2.80	V
V_{PVD7}	PVD 阈值 7	上升沿	2.76	2.88	3.00	V
		下降沿	2.70	2.75	2.90	V
$V_{PVDhyst}^{(2)}$	PVD 迟滞			100		mV
$I_{DD(PVD)}$	PVD 电流消耗			0.15	0.26	μA

1. 数据基于表征结果，未在生产中测试。
2. 由设计保证，不在生产中测试。

5.3.4 内置的参照电压

下表中给出的参数是依据表 19 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 23 内置的参照电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内置参照电压	$-40\text{ }^{\circ}\text{C} < T_A < +105\text{ }^{\circ}\text{C}$	1.16	1.20	1.26	V
t_{START}	ADC_IN17 缓冲区启动时间	-	-	-	$10^{(1)}$	μs
$t_{S_vrefint}^{(2)}$	当读出内部参照电压时，ADC 的采样时间			5.1	$17.1^{(3)}$	μs
ΔV_{REFINT}	内置参照电压	$V_{DD}=3\text{V} \pm 10\text{mV}$			$10^{(3)}$	mV
T_{Coff}	温度系数				$100^{(3)}$	ppm/ $^{\circ}\text{C}$

1. 数据基于表征结果，未在生产中测试。
2. 可以通过多次迭代在应用中确定最短的采样时间。
3. 由设计保证，不在生产中测试。

5.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明，详见图 12。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码，能够得到 CoreMark 代码等效的结果。

典型和最大电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率(0~24MHz 时为 0 个等待周期，超过 24MHz 时为 1 个等待周期)。
- 启用外设时启用预取，否则预取关闭(要启用预取，必须在时钟设置和总线预分频前设置 FLASH_ACR 寄存器中的 PRFTBE 位)
- 当开启外设时： $f_{PCLK} = f_{HCLK}$ 。

表 24 到表 28 中给出的参数，是依据表 18 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 24 V_{DD} 提供的典型和最大电流消耗在 V_{DD} = 3.6 V

符号	参数	条件	f _{HCLK} (MHz)	所有外设使能			所有外设不使能				单位	
				典型值	最大值@T _A ⁽¹⁾ (°C)			典型值	最大值@T _A ⁽¹⁾ (°C)			
					25	85	105		25	85		105
I _{DD}	运行模式下的 供应电流, 从 Flash 执行 代码	HSE 旁路, PLL 开	48	22	22.8	22.8	23.8	11.8	12.7	12.7	13.3	mA
			32	15	15.5	15.5	16.0	7.6	8.7	8.7	9.0	
			24	12.2	13.2	13.2	13.6	7.2	7.9	7.9	8.1	
		HSE 旁路, PLL 关	8	4.4	5.2	5.2	5.4	2.7	2.9	2.9	3.0	
			1	1.0	1.3	1.3	1.4	0.7	0.9	0.9	0.9	
		HSI 时钟, PLL 开	48	22	22.8	22.8	23.8	11.8	12.7	12.7	13.3	
			32	15	15.5	15.5	16.0	7.6	8.7	8.7	9.0	
			24	12.2	13.2	13.2	13.6	7.2	7.9	7.9	8.1	
		HSI 时钟, PLL 关	8	4.4	5.2	5.2	5.4	2.7	2.9	2.9	3.0	
	运行模式下的 供应电流, 从 RAM 执行 代码	HSE 旁路, PLL 开	48	22.2	23.2 ⁽²⁾	23.2	24.4 ⁽²⁾	12.0	12.7 ⁽²⁾	12.7	13.3 ⁽²⁾	
			32	15.4	16.3	16.3	16.8	7.8	8.7	8.7	9.0	
			24	11.2	12.2	12.2	12.8	6.2	7.9	7.9	8.1	
		HSE 旁路, PLL 关	8	4.0	4.5	4.5	4.7	1.9	2.9	2.9	3.0	
			1	0.6	0.8	0.8	0.9	0.3	0.6	0.6	0.7	
		HSI 时钟, PLL 开	48	22.2	23.2	23.2	24.4	12.0	12.7	12.7	13.3	
			32	15.4	16.3	16.3	16.8	7.8	8.7	8.7	9.0	
			24	11.2	12.2	12.2	12.8	6.2	7.9	7.9	8.1	
		HSI 时钟, PLL 关	8	4.0	4.5	4.5	4.7	1.9	2.9	2.9	3.0	
	睡眠模 式下的 供应电 流, 从 Flash 或 RAM 执 行代码	HSE 旁路, PLL 开	48	14	15.3 ⁽²⁾	15.3	16.0 ⁽²⁾	2.8	3.0 ⁽²⁾	3.0	3.2 ⁽²⁾	
			32	9.5	10.2	10.2	10.7	2.0	2.1	2.1	2.3	
			24	7.3	7.8	7.8	8.3	1.5	1.7	1.7	1.9	
		HSE 旁路, PLL 关	8	2.6	2.9	2.9	3.0	0.6	0.8	0.8	0.8	
			1	0.4	0.6	0.6	0.6	0.2	0.4	0.4	0.4	
		HSI 时钟, PLL 开	48	14	15.3	15.3	16.0	3.8	4.0	4.0	4.2	
32			9.5	10.2	10.2	10.7	2.6	2.7	2.7	2.8		
24			7.3	7.8	7.8	8.3	2.0	2.1	2.1	2.1		
HSI 时钟, PLL 关		8	2.6	2.9	2.9	3.0	0.6	0.8	0.8	0.8		

1. 由综合评估得出, 不在生产中测试。
2. 基于特征结果的数据, 并在生产中使用从 RAM 执行的代码进行测试。

表 25 V_{DDA} 提供的典型和最大电流消耗

符号	参数	条件	f _{HCLK} (MHz)	V _{DDA} =2.4V			V _{DDA} =3.6V			单位		
				典型值	最大值@T _A ⁽²⁾ (°C)			典型值	最大值@T _A ⁽²⁾ (°C)			
					25	85	105		25		85	105
I _{DDA}	运行模式下的 供应电流, 从 Flash 或 RAM 执行 代码	HSE 旁路, PLL 开	48	150	170	178	182	164	183	195	198	μA
			32	104	121	126	128	113	129	135	138	
			24	82	96	100	103	88	102	106	108	
		HSE 旁路, PLL 关	8	2.0	2.7	3.1	3.3	3.5	3.8	4.1	4.4	
			1	2.0	2.7	3.1	3.3	3.5	3.8	4.1	4.4	
			48	220	240	248	252	244	263	275	278	
	HSI 时钟, PLL 开	32	174	191	196	198	193	209	215	218		
		24	152	167	173	174	168	183	190	192		
		8	72	79	82	83	83.5	91	94	95		
	睡眠模式下的 供应电流, 从 Flash 或 RAM 执行 代码	HSE 旁路, PLL 开	48	150	170	178	182	164	183	195	198	
			32	104	121	126	128	113	129	135	138	
			24	82	96	100	103	88	102	106	108	
		HSE 旁路, PLL 关	8	2.0	2.7	3.1	3.3	3.5	3.8	4.1	4.4	
			1	2.0	2.7	3.1	3.3	3.5	3.8	4.1	4.4	
48			220	240	248	252	244	263	275	278		
HSI 时钟, PLL 开	32	174	191	196	198	193	209	215	218			
	24	152	167	173	174	168	183	190	192			
	8	72	79	82	83	83.5	91	94	95			

1. 电流消耗从V_{DDA}电源与电子外设的关闭与否, 运行或睡眠模式, 或者从Flash 或者RAM执行程序都无关。此外, 当PLL关闭, I_{DDA}与频率无关。
2. 数据基于特征结果, 而非生产中测试。

表 26 在停机和待机模式下典型和最大的 V_{DD} 消耗

符号	参数	条件	典型值@V _{DD} (V _{DD} =V _{DDA})(V)						最大值 ⁽¹⁾			单位
			2.0	2.4	2.7	3.0	3.3	3.6	T _A = 25 °C	T _A = 85 °C	T _A = 105 °C	
I _{DD}	在停止 模式下 供电	调节器在运 行模式, 所有 振荡器关	15	15.1	15.25	15.45	15.7	16	22 ⁽²⁾	48	64 ⁽²⁾	μA
		调节器在低 功耗模式, 所 有振荡器关	3.15	3.25	3.35	3.45	3.7	4	7 ⁽²⁾	32	45 ⁽²⁾	
	在待机 模式下 供电	LSI 开, IWDG 开	0.8	0.95	1.05	1.2	1.35	1.5				
		LSI 关, IWDG 关	0.65	0.75	0.85	0.95	1.1	1.3	2 ⁽²⁾	2.5	3 ⁽²⁾	

1. 除非特别提及, 数据基于特征结果, 而非生产中测试。

2. 数据基于特征结果，而非生产中测试。

表 27 在停机和待机模式下典型和最大的 V_{DDA} 消耗

符号	参数	条件	典型值@ $V_{DD}(V_{DD}=V_{DDA})(V)$						最大值 ⁽¹⁾			单位	
			2.0	2.4	2.7	3.0	3.3	3.6	$T_A=25^\circ C$	$T_A=85^\circ C$	$T_A=105^\circ C$		
I_{DDA}	在停止模式下供电	V_{DDA} 监控开	调节器在运行模式，所有振荡器关	1.85	2	2.15	2.3	2.45	2.6	3.5	3.5	4.5	μA
			调节器在低功耗模式，所有振荡器关	1.85	2	2.15	2.3	2.45	2.6	3.5	3.5	4.5	
	在待机模式下供电	V_{DDA} 监控开	LSI 开，IWDG 开	2.25	2.5	2.65	2.85	3.05	3.3				
			LSI 关，IWDG 关	1.75	1.9	2	2.15	2.3	2.5	3.5	3.5	4.5	
	在停止模式下供电	V_{DDA} 监控关	调节器在运行模式，所有振荡器关	1.11	1.15	1.18	1.22	1.27	1.35				
			调节器在低功耗模式，所有振荡器关	1.11	1.15	1.18	1.22	1.27	1.35				
	在待机模式下供电	V_{DDA} 监控关	LSI 开，IWDG 开	1.5	1.58	1.65	1.78	1.91	2.04				
			LSI 关，IWDG 关	1	1.02	1.05	1.05	1.15	1.22				

1. 数据基于特征结果，而非生产中测试。

表 28 V_{BAT} 提供的典型和最大电流消耗

符号	参数	条件	典型值@ $V_{BAT}(V)$						最大值 ⁽¹⁾			单位
			1.65	1.8	2.4	2.7	3.3	3.6	$T_A=25^\circ C$	$T_A=85^\circ C$	$T_A=105^\circ C$	
$I_{DD-VBAT}$	备份域供电电流	LSE & RTC开; "Xtal模式": 低驱动能力; LSEDRV[1:0] = '00'	0.41	0.43	0.53	0.58	0.71	0.80	0.96	1.1	1.5	μA
		LSE & RTC开; "Xtal模式": 高驱动能力; LSEDRV[1:0] = '11'	0.71	0.75	0.85	0.91	1.06	1.16	1.99	2.0	2.1	

1. 数据基于特征结果，而非生产中测试。

典型的电流消耗

MCU 处于下述条件下：

- $V_{DD}=V_{DDA}=3.3V$
- 所有的 I/O 引脚都处于输入模式
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率(0~24MHz 时为 0 个等待周期, 超过 24MHz 时为 1 个等待周期)。
- 当外设使能时预取功能开启, 否则关闭。
- 当外设使能时: $f_{PCLK}=f_{HCLK}$ 。
- PLL 的使用频率大于 8MHz。
- AHB 的 2,4,8,16 的预分频器的频率分别为 4MHz, 2MHz, 1MHz 和 500kHz。
- 开发工具连接到电路板, 寄生上拉电流约为 30 μ A

表 29 运行模式下的典型电流消耗, 数据处理代码从内部 Flash 中运行

符号	参数	条件	f_{HCLK}	典型值		单位
				使能所有外设	关闭所有外设	
I_{DD}	从 V_{DD} 电源提供运行模式下的电流	从 HSE 晶振时钟 8MHz 运行, 代码从闪存执行	48MHz	23.3	11.5	mA
			36MHz	17.6	9.0	
			32MHz	15.9	8.0	
			24MHz	12.4	7.5	
			16MHz	8.5	5.2	
			8MHz	4.5	3.0	
			4MHz	2.8	1.9	
			2MHz	1.7	1.3	
			1MHz	1.3	1.0	
			500kHz	1.0	0.9	
I_{DDA}	从 V_{DDA} 电源提供运行模式下的电流	从 HSE 晶振时钟 8MHz 运行, 代码从闪存执行	48MHz	158	158	μ A
			36MHz	120	120	
			32MHz	108	108	
			24MHz	83	83	
			16MHz	60	60	
			8MHz	2.43	2.43	
			4MHz	2.43	2.43	
			2MHz	2.43	2.43	
			1MHz	2.43	2.43	
500kHz	2.43	2.43				

表 30 运行模式下的典型电流消耗，数据处理代码从 Flash 或 RAM 中运行

符号	参数	条件	f _{HCLK}	典型值		单位
				使能所有外设	关闭所有外设	
I _{DD}	从 V _{DD} 电源提供睡眠模式下的电流	从 HSE 晶振时钟 8MHz 运行，代码从闪存或 RAM 执行	48MHz	13.9	2.98	mA
			36MHz	10.55	2.84	
			32MHz	9.6	2.6	
			24MHz	7.23	2.09	
			16MHz	5.01	1.58	
			8MHz	2.68	0.99	
			4MHz	1.81	0.85	
			2MHz	1.27	0.77	
			1MHz	1.03	0.73	
			500kHz	0.9	0.71	
I _{DDA}	从 V _{DDA} 电源提供睡眠模式下的电流	从 HSE 晶振时钟 8MHz 运行，代码从闪存或 RAM 执行	48MHz	158	157	μA
			36MHz	119	119	
			32MHz	108	107	
			24MHz	83	83	
			16MHz	60	60	
			8MHz	2.36	2.38	
			4MHz	2.36	2.38	
			2MHz	2.36	2.38	
			1MHz	2.36	2.38	
			500kHz	2.36	2.38	
125kHz	2.36	2.38				

I/O 系统的电流消耗

I/O 系统的电流消耗有两个部分：静态和动态。

I/O 静态电流消耗

当引脚外部保持低电平时，所有用作上拉输入的 I/O 都会产生电流消耗。该电流消耗值可以通过使用表 50 中给出的上拉/下拉电阻值来简单计算。

对于输出引脚，还必须考虑任何外部下拉或外部负载来估算电流消耗。

如果从外部施加中间电压，则额外的 I/O 电流消耗是由于将 I/O 配置为输入引起的。此电流消耗是由于输入施密特触发器电路用于区分输入值引起的。除非应用程序需要此特定配置，否则可通过在模拟模式下配置这些 I/O 为模拟模式来避免此电源电流消耗。尤其是 ADC 输入引脚

应配置为模拟输入的情况。

注意： 由于外部电磁噪声，任何浮动输入引脚也可能会陷入中等电压或无意中切换。为了避免与浮动引脚相关的电流消耗，它们必须配置为模拟模式，或者内部强制为一个确定的数值。这可以通过使用上拉/下拉电阻或通过配置引脚输出模式来完成。

I/O 动态电流消耗

除了之前测量的内部外设电流消耗之外，应用程序的 I/O 也会影响电流消耗(见表 32)。当 I/O 引脚切换时，它使用从来自 I/O 供电电压的电流到电流为 I/O 引脚电路供电，并对连接到该引脚的电容性负载(内部或外部)进行充电/放电：

$$I_{SW} = V_{DD} \times f_{SW} \times C$$

其中：

I_{SW} 是开关 I/O 对电容负载充电/放电的电流，

V_{DD} 是 I/O 供电电压。

f_{SW} 是 I/O 开关频率。

C 是 I/O 引脚的总电容： $C = C_{INT} + C_{EXT} + C_S$ ， C_S 是 PCB 板电容，包括引脚。
测试引脚配置为推挽输出模式，并通过软件以固定频率切换。

表 31 切换输出 I/O 电流消耗

符号	参数	条件 ⁽¹⁾	I/O 切换频率(f_{sw})	典型值	单位
I_{sw}	I/O 电流消耗	$V_{DD}=3.3V$ $C=C_{INT}$	4 MHz	0.07	mA
			8 MHz	0.15	
			16 MHz	0.31	
			24 MHz	0.53	
			48 MHz	0.92	
		$V_{DD} = 3.3V$ $C_{EXT} = 0pF$ $C = C_{INT} + C_{EXT} + C_S$	4 MHz	0.18	
			8 MHz	0.37	
			16 MHz	0.76	
			24 MHz	1.39	
			48 MHz	2.188	
		$V_{DD} = 3.3V$ $C_{EXT} = 10Pf$ $C = C_{INT} + C_{EXT} + C_S$	4 MHz	0.32	
			8 MHz	0.64	
			16 MHz	1.25	
			24 MHz	2.23	
			48 MHz	4.442	
$V_{DD} = 3.3V$	4 MHz	0.49			

	$C_{EXT} = 22 \text{ pF}$ $C = C_{INT} + C_{EXT} + C_S$	8 MHz	0.94
		16 MHz	2.38
		24 MHz	3.99
	$V_{DD} = 3.3\text{V}$ $C_{EXT} = 33 \text{ pF}$ $C = C_{INT} + C_{EXT} + C_S$	4 MHz	0.64
		8 MHz	1.25
		16 MHz	3.24
		24 MHz	5.02
	$V_{DD} = 3.3\text{V}$ $C_{EXT} = 47 \text{ pF}$ $C = C_{INT} + C_{EXT} + C_S$ $C = C_{int}$	4 MHz	0.81
		8 MHz	1.7
		16 MHz	3.67
	$V_{DD} = 2.4\text{V}$ $C_{EXT} = 47 \text{ pF}$ $C = C_{INT} + C_{EXT} + C_S$ $C = C_{int}$	4 MHz	0.66
		8 MHz	1.43
		16 MHz	2.45
		24 MHz	4.97

1. $C_S = 7 \text{ pF}$ (estimated value).

内置外设电流消耗

内置外设的电流消耗列于表 32，MCU 的工作条件如下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上， V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出
 - 关闭所有外设的时钟
 - 只开启一个外设的时钟
- 环境温度和 V_{DD} 供电电压条件列于表 17。

表 32 内置外设的电流消耗⁽¹⁾

外设	在 25 °C 时典型电流消耗		单位
	I_{DD}	I_{DDA}	
ADC ⁽¹⁾	0.53	0.964	mA
CEC	0.24		
CRC	0.10		
DAC ⁽²⁾	0.27	0.408	
DBGMCU	0.18		
DMA	0.35		
GPIOA	0.48		
GPIOB	0.58		
GPIOC	0.12		
GIPOD	0.04		
GPIOF	0.06		

I2C1	0.43	
I2C2	0.42	
PWR	0.22	
SPI1/I2S1	0.63	
SPI2	0.53	
SYSCFG&COMP	0.28	见注(3)
TIM1	1.01	
TIM2	1.00	
TIM3	0.78	
TIM6	0.32	
TIM14	0.45	
TIM15	0.66	
TIM16	0.57	
TIM17	0.59	
TSC	0.28	
USART1	1.07	
USART2	0.48	
WWDG	0.22	

1. 在设置好 ADC_CR 寄存器的 ADEN 位后, ADC 处于准备状态(ADC_ISR 的 ADRDY 位为高).
2. 在 DAC_CR 中设置 EN1 位后, DAC 通道 1 被使能.
3. COMP IDDA 即为表 58 中的 I_{DD}(COMP)

5.3.6 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

在旁路模式下, HSE 振荡器关闭, 输入引脚为标准 GPIO。

在 5.3.14 节中, 外部信号时钟必须遵循 I/O 特性。而推荐的时钟输入波形见图 13。

表 33 高速外部用户时钟特性

符号	参数 ⁽¹⁾	条件	最小值	典型值	最大值	单位
f _{HSE_ext}	用户外部时钟频率		1	8	32	MHz
V _{HSEH}	OSC_IN 输入引脚高电平电压		0.77V _{DD}		V _{DD}	V
V _{HSEL}	OSC_IN 输入引脚低电平电压		V _{SS}		0.3V _{DD}	
t _w (HSEH) t _w (HSEL)	OSC_IN 高或低的时间		15			ns
t _r (HSE) t _r (HSEL)	OSC_IN 上升或下降的时间				20	

1. 由设计保证, 不在生产中测试。

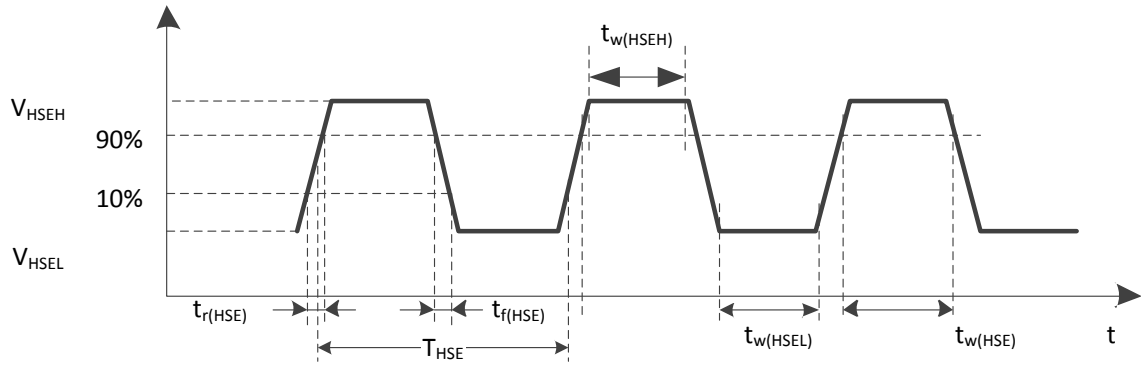


图 13 高速外部时钟源交流时序图

来自外部振荡源产生的低速外部用户时钟

在旁路模式下，LSE 振荡器关闭，输入引脚为标准 GPIO。

在 5.3.14 节中，外部信号时钟必须遵循 I/O 特性。而推荐的时钟输入波形见图 14。

表 34 低速外部用户时钟特性

符号	参数 ⁽¹⁾	条件	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟频率		-	32.768	1000	kHz
V_{LSEH}	OSC32_IN 输入引脚高电平电压		$0.7V_{DD}$	-	V_{DD}	V
V_{LSEL}	OSC32_IN 输入引脚低电平电压		V_{SS}	-	$0.3V_{DD}$	
$t_w(LSEH)$	OSC32_IN 高或低的时间		450	-	-	ns
$t_w(LSEL)$						
$t_r(LSE)$	OSC32_IN 上升或下降的时间 ⁽¹⁾		-	-	50	ns
$t_f(LSE)$						

1. 由设计保证，不在生产中测试。

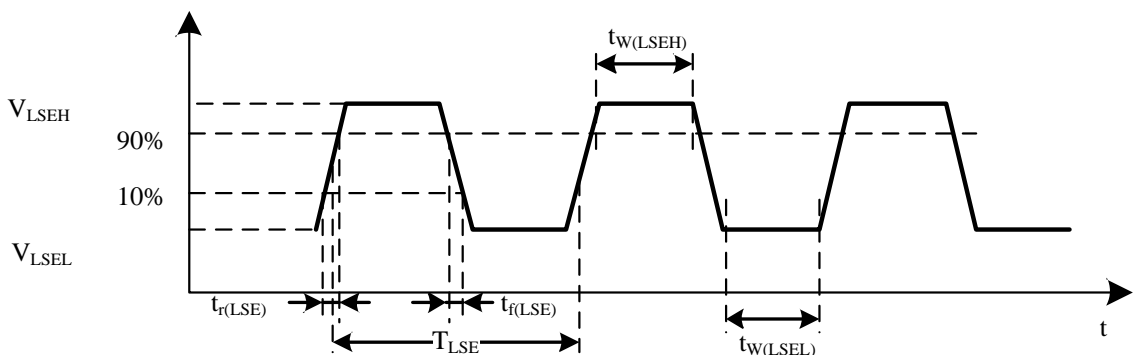


图 14 低速外部时钟源交流时序图

使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟(HSE)可以由一个 4~32MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中

所给出的信息都是基于使用下表 35 中列出的典型外部元器件得到的仿真结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。关于谐振器特性(频率，封装，精度)的更多细节请参考晶体谐振器手册。

表 35 HSE 振荡器特性

符号	参数	条件 ⁽¹⁾	最小值 ⁽²⁾	典型值	最大值 ⁽²⁾	单位
f_{OSC_IN}	振荡器频率		4	8	32	MHz
R_F	反馈电阻		-	200	-	k Ω
I_{DD}	HSE 电流消耗	在启动期间 ⁽³⁾	-		8.5	mA
		$V_{DD}=3.3V, R_m=30\Omega$ $C_L=10pF @8MHz$	-	0.4	-	
		$V_{DD}=3.3V, R_m=45\Omega$ $C_L=10pF @8MHz$	-	0.5	-	
		$V_{DD}=3.3V, R_m=30\Omega$ $C_L=5pF @32MHz$	-	0.8	-	
		$V_{DD}=3.3V, R_m=30\Omega$ $C_L=10pF @32MHz$	-	1	-	
		$V_{DD}=3.3V, R_m=30\Omega$ $C_L=20pF @32MHz$	-	1.5	-	
g_m	振荡器的跨导	启动	10	-	-	mA/V
$t_{SU(HSE)}$ ⁽⁴⁾	启动时间	V_{DD} 稳定	-	2	-	ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由设计保障，不在生产中测试。
3. 该消耗级别发生在启动时间 $t_{SU(HSE)}$ 的前 2/3 期间。
4. $t_{SU(HSE)}$ 是启动时间，测量从软件使能 HSE 开始直至得到稳定的 8MHz 振荡时钟。表格里的这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

对于 C_{L1} 和 C_{L2} ，建议使用 5pF 至 20pF 范围(典型值)的高质量外部陶瓷电容，专为高频应用而设计，并根据晶体或谐振器的要求进行选择(见图 15)。 C_{L1} 和 C_{L2} 的尺寸通常相同。晶体制造商通常指定 C_{L1} 和 C_{L2} 的串联组合的负载电容。在确定 C_{L1} 和 C_{L2} 的大小时，必须包含 PCB 和 MCU 引脚电容(10pF 可用作引脚和电路板组合的粗略估计值)。

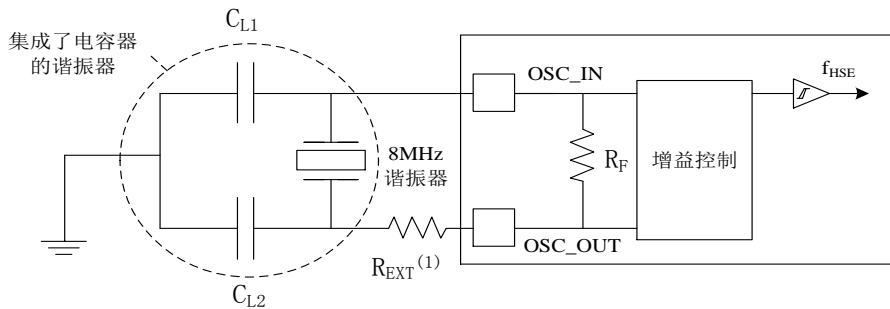


图 15 使用 8MHz 晶体的典型应用

1. R_{EXT} 数值由晶体的特性决定。

使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟(LSE)可以使用一个 32.768kHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用表 36 中给出的典型外部元器件的参数通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。关于谐振器特性(频率，封装，精度)的更多细节请参考晶体谐振器手册。

表 36 LSE 振荡器特性($f_{LSE}=32.768\text{kHz}$)

符号	参数	条件	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
I_{DD}	LSE 电流消耗	LSEDRV[1: 0] = 00 较低驱动能力	-	0.5	0.9	μA
		LSEDRV[1: 0] = 01 中低驱动能力	-	-	1	
		LSEDRV[1: 0] = 10 中高驱动能力	-	-	1.3	
		LSEDRV[1: 0] = 11 较高驱动能力	-	-	1.6	
g_m	振荡器的跨导	LSEDRV[1: 0] = 00 较低驱动能力	5	-	-	$\mu\text{A}/\text{V}$
		LSEDRV[1: 0] = 01 中低驱动能力	8	-	-	
		LSEDRV[1: 0] = 10 中高驱动能力	15	-	-	
		LSEDRV[1: 0] = 11 较高驱动能力	25	-	-	
$t_{SU(HSE)}^{(2)}$	启动时间	V_{DD} 稳定	-	2	-	s

1. 由设计保障，不在生产中测试。
2. $t_{SU(HSE)}$ 是启动时间，是从软件使能 HSE 开始测量，直至得到稳定的 32.768kHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

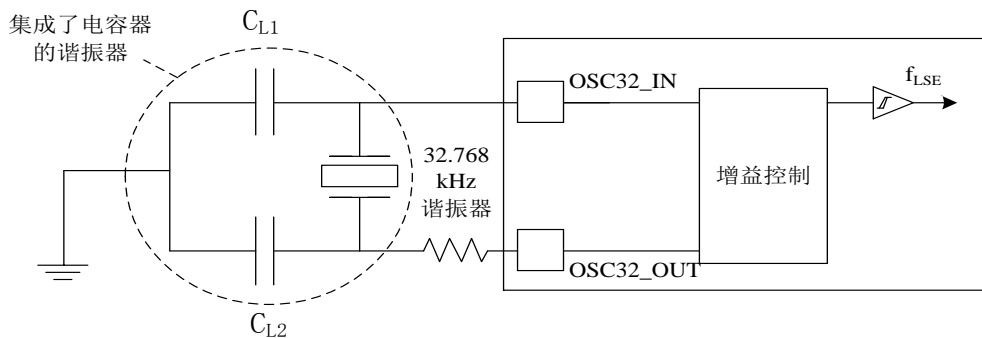


图 16 使用 32.768kHz 晶体的典型应用

注：OSC32_IN 和 OSC32_OUT 之间不需要添加外部电阻，并且禁止添加一个电阻。

5.3.7 内部时钟源特性

表 37 中给出的特性参数是使用环境温度和供电电压符合表 19 的条件测量得到。提供的图像是表征结果，未在生产中进行测试。

高速内部(HSI)RC 振荡器

表 37 HSI 振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率	-	-	8		MHz
TRIM	HSI 用户修整步骤	-	-	-	1 ⁽²⁾	%
$DuCy_{(HSI)}$	占空比	-	45 ⁽²⁾	-	55 ⁽²⁾	%
ACC_{HSI}	HSI 振荡器的精度 (工厂校准)	$T_A = -40 \sim 105 \text{ } ^\circ\text{C}$	-3.8 ⁽³⁾	-	4.6 ⁽³⁾	%
		$T_A = -10 \sim 85 \text{ } ^\circ\text{C}$	-2.9 ⁽³⁾	-	2.9 ⁽³⁾	%
		$T_A = 0 \sim 70 \text{ } ^\circ\text{C}$	-1.3 ⁽³⁾	-	2.2 ⁽³⁾	%
		$T_A = 25 \text{ } ^\circ\text{C}$	-1	-	1	%
$t_{SU(HSI)}$	HSI 振荡器启动时间		1 ⁽²⁾	-	2 ⁽²⁾	μs
$I_{DD(HSI)}$	HSI 振荡器功耗		-	80	100 ⁽²⁾	μA

1. $V_{DD} = 3.3\text{V}$, $T_A = -40 \sim 105 \text{ } ^\circ\text{C}$, 除非特别说明。
2. 由设计保证, 不在生产中测试。
3. 与用户校准。

高速内部 14MHz (HSI14)RC 振荡器 (ADC 专用)

表 38 HSI14 振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI14}	频率		-	14		MHz
TRIM	HSI14 用户修整步骤		-	-	1 ⁽²⁾	%
$DuCy_{(HSI14)}$	占空比		45 ⁽²⁾	-	55 ⁽²⁾	%
ACC_{HSI14}	HSI14 振荡器的精度(工 厂校准)	$T_A = -40 \sim 105 \text{ } ^\circ\text{C}$	-2.8 ⁽³⁾	-	3.8 ⁽³⁾	%
		$T_A = -10 \sim 85 \text{ } ^\circ\text{C}$	-1.9 ⁽³⁾	-	2.3 ⁽³⁾	
		$T_A = 0 \sim 85 \text{ } ^\circ\text{C}$	-1.9 ⁽³⁾	-	2 ⁽³⁾	
		$T_A = 0 \sim 70 \text{ } ^\circ\text{C}$	-1.3 ⁽³⁾	-	2 ⁽³⁾	
		$T_A = 0 \sim 55 \text{ } ^\circ\text{C}$	-1 ⁽³⁾	-	2 ⁽³⁾	
		$T_A = 25 \text{ } ^\circ\text{C}$	-1	-	1	
$t_{SU(HSI14)}$	HSI14 振荡器启动时间		1 ⁽²⁾	-	2 ⁽²⁾	μs
$I_{DD(HSI14)}$	HSI14 振荡器功耗		-	100	-	μA

1. $V_{DD} = 3.3\text{V}$, $T_A = -40 \sim 105 \text{ } ^\circ\text{C}$, 除非特别说明。

2. 由设计保证，不在生产中测试。
3. 与用户校准。

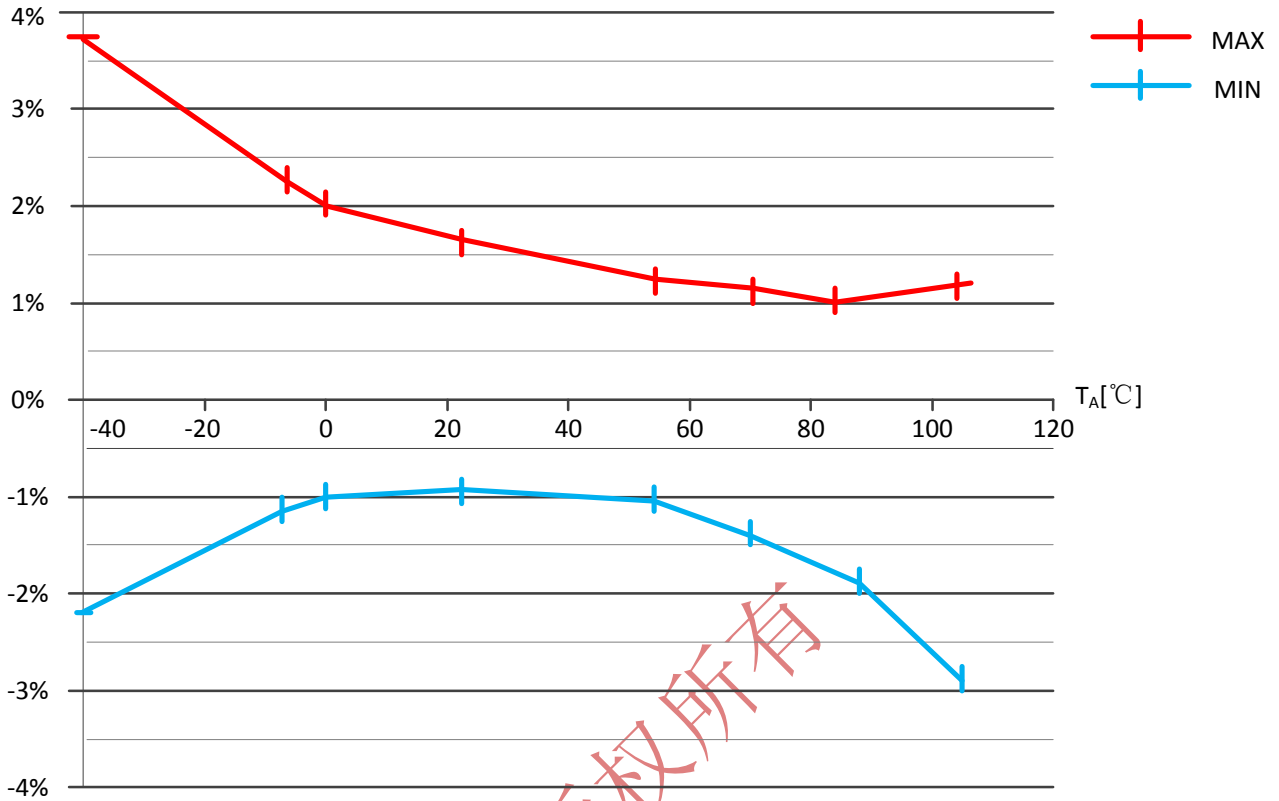


图 17 焊接部件的 HSI 振荡器精度表征结果

高速内部 14MHz (HSI14)RC 振荡器 (ADC 专用)

表 39 HSI14 振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI14}	频率	-	-	14	-	MHz
TRIM	HSI14 用户修整步骤	-	-	-	1 ⁽²⁾	%
$DuCy_{(HSI14)}$	占空比	-	45 ⁽²⁾	-	55 ⁽²⁾	%
ACC_{HSI14}	HSI14 振荡器的精度(工厂校准)	TA= -40~105 °C	-4.2 ⁽³⁾	-	5.1 ⁽³⁾	%
		TA= -10~85 °C	-3.2 ⁽³⁾	-	3.1 ⁽³⁾	%
		TA= 0~70 °C	-2.5 ⁽³⁾	-	2.3 ⁽³⁾	%
		TA= 25 °C	-1	-	1	%
$t_{SU(HSI14)}$	HSI14 振荡器启动时间		1 ⁽²⁾	-	2 ⁽²⁾	μs
$I_{DDA(HSI14)}$	HSI14 振荡器功耗		-	100	-	μA

1. $V_{DD} = 3.3V$, $T_A = -40\sim 105\text{ °C}$ ，除非特别说明。
2. 由设计保证，不在生产中测试。
3. 基于特征结果的数据，未在生产中进行测试。

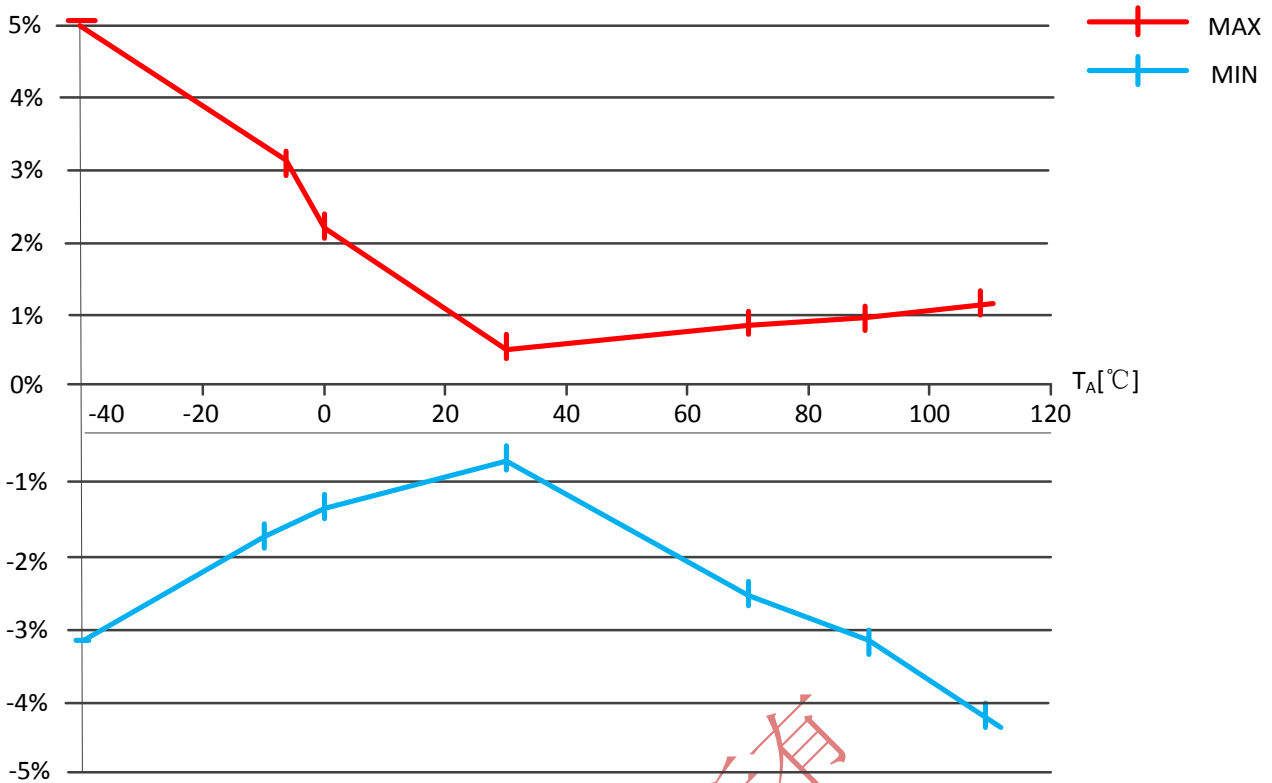


图 18 HSI14 振荡器精度表征结果

低速内部(LSI)RC 振荡器

表 40 LSI 振荡器特性⁽¹⁾

符号	参数	最小值	典型值	最大值	单位
f _{LSI}	频率	30	40	50	kHz
t _{SU(LSI)} ⁽²⁾	LSI 振荡器启动时间	-	-	85	μs
I _{DDA(LSI)} ⁽²⁾	LSI 振荡器功耗	-	0.75	-	μA

1. V_{DDA} = 3.3V, T_A = -40~105°C, 除非特别说明。

2. 由设计保证, 不在生产中测试。

从低功耗模式唤醒的时间

表 41 列出的唤醒时间是在一个 8MHz 的 HSI RC 振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定:

- 停止或睡眠模式: 唤醒事件是 WFE
- 在停止和睡眠模式下使用的唤醒引脚是 PA0, 在 PA1 中处于待机模式。

所有的时间是使用环境温度和供电电压符合表 19 的条件测量得到。

表 41 低功耗模式的唤醒时间

符号	参数	条件	典型值					最大值	单位
			=2.0V	=2.4V	=2.7V	=3V	=3.3V		
$t_{WUSTOP}^{(1)}$	从停机模式唤醒	运行模式下调节器	4.2	4.2	4.2	4.2	4.2	5	μs
		低功耗模式下调节器	8.05	7.05	6.6	6.27	6.05	9	
$t_{WUSLEEP}^{(1)}$	从睡眠模式唤醒		60.35	55.6	53.5	52.02	50.96		
$t_{WUSTDBY}^{(3)}$	从待机模式唤醒		1.1	1.1	1.1	1.1	1.1		

5.3.8 PLL 特性

表 42 列出的参数是使用环境温度和供电电压符合表 19 的条件测量得到。

表 42 PLL 特性

符号	参数	数值			单位
		最小值	典型值	最大值	
f_{PLL_IN}	PLL 输入时钟 ⁽²⁾	1 ⁽²⁾	8.0	24 ⁽²⁾	MHz
	PLL 输入时钟占空比	40 ⁽²⁾	-	60 ⁽²⁾	%
f_{PLL_OUT}	PLL 倍频输出时钟	16 ⁽²⁾	-	48	MHz
t_{LOCK}	PLL 锁相时间	-	-	200 ⁽²⁾	μs
$Jitter_{PLL}$	周期间抖动	-	-	300 ⁽²⁾	ps

1. 需要注意使用正确的倍频系数，从而根据 PLL 输入时钟频率使得 f_{PLL_OUT} 处于允许范围内。
2. 由综合评估得出，不在生产中测试。

5.3.9 存储器特性

闪存存储器

除非特别说明，所有特性参数是在 $T_A = -40 \sim 105 \text{ }^\circ\text{C}$ 得到。

表 43 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog}	16 位的编程时间	$T_A = -40 \sim 105 \text{ }^\circ\text{C}$	40	53.5	60	μs
t_{ERASE}	页(1K 字节)擦除时间	$T_A = -40 \sim 105 \text{ }^\circ\text{C}$	20	-	40	ms
t_{ME}	整片擦除时间	$T_A = -40 \sim 105 \text{ }^\circ\text{C}$	20	-	40	
I_{DD}	供电电流	写模式	-	-	10	mA
		擦除模式	-	-	12	

1. 由设计保证，不在生产中测试。

表 44 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值 ⁽¹⁾	单位
N_{END}	寿命	$T_A = -40\sim 105\text{ }^\circ\text{C}$	10	千次
t_{RET}	数据保存期限	1 千次 ⁽²⁾ 在 $T_A = 85\text{ }^\circ\text{C}$ 时	30	年
		1 千次 ⁽²⁾ 在 $T_A = 105\text{ }^\circ\text{C}$ 时	10	
		10 千次 ⁽²⁾ 在 $T_A = 55\text{ }^\circ\text{C}$ 时	20	

1. 由综合评估得出，不在生产中测试。
2. 在整个温度范围内循环。

5.3.10 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性 EMS(电磁敏感性)

当运行一个简单的应用程序时(通过 I/O 端口闪烁 2 个 LED)，测试样品被施加 2 种电磁干扰直到产生错误，LED 闪烁指示了错误的产生。

- **静电放电(ESD)**(正放电和负放电)施加到芯片所有的引脚直到产生功能性错误。这个测试符合 IEC 61000-4-2 标准。
- **FTB**: 在 V_{DD} 和 V_{SS} 上通过一个 100pF 的电容器施加一个瞬变电压的脉冲群(正向和反向)直到产生功能性错误。这个测试符合 IEC 61000-4-4 标准。

芯片复位可以使系统恢复正常操作。

测试结果列于下表中。

表 45 EMS 特性

符号	参数	条件	级别/类型
V_{FESD}	施加到任一 I/O 脚，从而导致功能错误的电压极限。	$V_{DD} = 3.3V$, LQFP64, $T_A = +25\text{ }^\circ\text{C}$, $f_{HCLK} = 48MHz$ 。符合 IEC 61000-4-2	2B
V_{EFTB}	在 V_{DD} 和 V_{SS} 上通过 100pF 的电容器施加的、导致功能错误的瞬变脉冲群电压极限	$V_{DD} = 3.3V$, LQFP64, $T_A = +25\text{ }^\circ\text{C}$, $f_{HCLK} = 48MHz$ 。符合 IEC 61000-4-4	3B

设计牢靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化，是在典型的应用环境中进行的。应该注意的是，好的 EMC 性能与用户应用和具体的软件密切相关。

因此，建议用户对软件实行 EMC 优化，并进行与 EMC 有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制，如：

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏(控制寄存器等.....)

认证前的试验

很多常见的失效(意外的复位和程序计数器被破坏),可以通过人工地在 NRST 上引入一个低电平或在晶振引脚上引入一个持续 1 秒的低电平而重现。

在进行 ESD 测试时,可以把超出应用要求的电压直接施加在芯片上,当检测到意外动作的地方,软件部分需要加强以防止发生不可恢复的错误。

电磁干扰(EMI)

在运行一个简单的应用程序时(通过 I/O 端口闪烁 2 个 LED),监测芯片发射的电磁场。这个发射测试符合 IEC 61967-2 标准,这个标准规定了测试板和引脚的负载。

表 46 EMI 特性

符号	参数	条件	监测的频段	最大值(f_{HSE}/f_{HCLK})		单位
				8/48MHz		
S_{EMI}	峰值	$V_{DD}=3.3V, T_A=25^\circ C$, LQFP64 封装,符合 IEC 61967-2	0.1~30MHz	-3	dB μ V	
			30~130MHz	28		
			130MHz~1GHz	23		
			SAMEMI 级别	4	-	

5.3.11 绝对最大值(电气敏感性)

基于三个不同的测试(ESD, LU),使用特定的测量方法,对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上,样品的大小与芯片上供电引脚数目相关(3片 \times (n+1)供电引脚)。这个测试符合 JESD22-A114/C101 标准。

表 47 ESD 绝对最大值

符号	参数	条件	封装	类型	最大值 ⁽¹⁾	单位
$V_{ESD(HBM)}$	静电放电电压(人体模型)	$T = +25^\circ C$,符合 JESD22-A114	全部类型	2	2000	V
$V_{ESD(CDM)}$	静电放电电压(充电设备模型)	$T = +25^\circ C$,符合 JESD22-C101	全部类型	C3	250	

1. 由综合评估得出,不在生产中测试。

静态栓锁

为了评估栓锁性能，需要在 6 个样品上进行 2 个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。

这个测试符合 EIA/JESD 78A 集成电路栓锁标准。

表 48 电气敏感性

符号	参数	条件	类型
LU	静态栓锁类	T = +105 °C, 符合 JESD78A	II 类 A

5.3.12 I/O 电流注入特性

通常，在正常的产品操作期间，应避免由于外部电压低于 V_{SS} 或高于 V_{DDIOx} (对于标准的 3.3V I/O 引脚) 而导致的 I/O 引脚电流注入。然而，为了在异常注入事件发生时给出微控制器的稳健性指示，在器件特性分析期间以样品为基础进行敏感性测试。

I/O 电流注入的功能的敏感性

在器件上执行一个简单的应用程序时，在悬空输入模式下器件受到注入电流到编程的 I/O 引脚的压力。当电流被注入 I/O 脚时，一次一个，检测器件是否发生功能故障。

超出范围参数指示故障：ADC 误差超出待定限制(超过 5LSB TUE)，超出传统相邻引脚上的电流注入限制(超过 $-5 \mu A$)或其他功能故障(例如，复位发生或振荡器偏差)。表 49 给出了表征结果。负引起的泄露电流是由负向注入引起的，正向引起的泄露电流是由正向注入引起的。

表 49 I/O 电流注入功能感性

符号	描述	功能易感性		单位
		负注入	正注入	
I_{INJ}	在 BOOT0 引脚上注入电流	-0	NA	mA
	在 PA10, PA12, PB4, PB5, PB10, PB15 和 PD2 引脚上注入电流，相邻引脚上的感应泄露电流小于 $-10 \mu A$	-5	NA	
	在 FT 和 FTf 引脚上注入电流	-5	NA	
	在 PA6 和 PC0 引脚上注入电流	-0	+ 5	
	在其他所有 TTa, TC 和 RST 引脚上注入电流	-5	+ 5	

5.3.13 I/O 端口特性

通用输入/输出特性

除非特别说明，下表 50 列出的参数是按照表 19 的条件测量得到。所有的 I/O 端口都是兼容 CMOS-和 TTL。

表 50 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	低电平输入电压	TC 和 TTa 的 I/O 脚	-	-	$0.3V_{DDIOx} + 0.07^{(1)}$	V
		FT 和 FTf 的 I/O 脚	-	-	$0.475V_{DDIOx} - 0.2^{(1)}$	
		BTOOT0	-	-	$0.3V_{DDIOx} - 0.3^{(1)}$	
		所有 I/O 口, 除了 BTOOT0	-	-	$0.3V_{DDIOx}$	
V_{IH}	高电平输入电压	TC 和 TTa 的 I/O 脚	$0.445V_{DDIOx} + 0.398^{(1)}$	-	-	V
		FT 和 FTf 的 I/O 脚	$0.5V_{DDIOx} + 0.2^{(1)}$	-	-	
		BTOOT0	$0.2V_{DDIOx} + 0.95^{(1)}$	-	-	
		所有 I/O 口, 除了 BTOOT0	$0.7V_{DDIOx}$	-	-	
V_{hys}	施密特触发器电压迟滞	TC 和 TTa 的 I/O 脚	-	$200^{(1)}$	-	mV
		FT 和 FTf 的 I/O 脚	-	$100^{(1)}$	-	
		BTOOT0	-	$300^{(1)}$	-	
I_{lkg}	输入漏电流 ⁽²⁾	TC, FT 和 FTf I/O TTa 在数字模式 $V_{SS} \leq V_{IN} \leq V_{DDIOx}$	-	-	± 0.1	μA
		TTa 在数字模式 $V_{DDIOx} \leq V_{IN} \leq V_{DDA}$	-	-	1	
		TTa 在模拟模式 $V_{SS} \leq V_{IN} \leq V_{DDA}$	-	-	± 0.2	
		FT 和 FTf I/O ⁽³⁾ $V_{DDIOx} \leq V_{IN} \leq 5V$	-	-	10	
R_{PU}	弱上拉等效电阻 ⁽³⁾	$V_{IN} = V_{SS}$	25	40	55	k Ω
R_{PD}	弱下拉等效电阻 ⁽³⁾	$V_{IN} = V_{DDIOx}$	25	40	55	
C_{IO}	I/O 引脚的电容	-	-	5	-	pF

1. 为维持高于 $V_{DD} + 0.3V$ 的电压, 必须禁用内部上/下拉电阻。
2. 数据仅基于设计仿真得出, 不在生产中测试。
3. 如果在相邻引脚有反向电流倒灌, 则漏电流可能高于最大值。
4. 上拉和下拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS/NMOS 实现。这个 PMOS/NMOS 开关的电阻很小(约占 10%)。

所有 I/O 端口都是 CMOS 和 TTL 兼容(不需软件配置), 它们的特性考虑了多数严格的 CMOS 工艺或 TTL 参数。这些要求的覆盖范围对于标准 I/O 详见图 19, 对于 5V 容忍的 I/O 见图 20。以下曲线是设计模拟结果, 未在生产中测试。

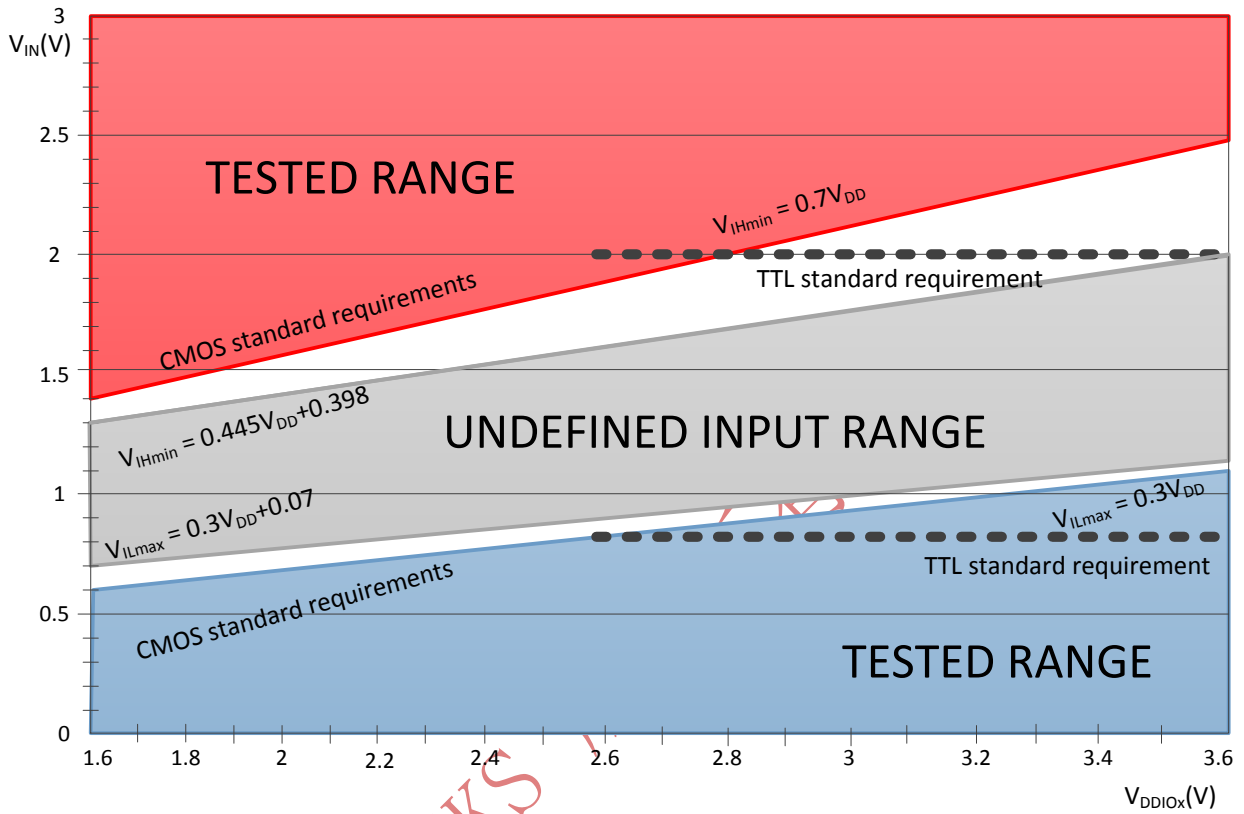


图 19 TC 和 TTa 的 I/O 口输入特性-CMOS 端口

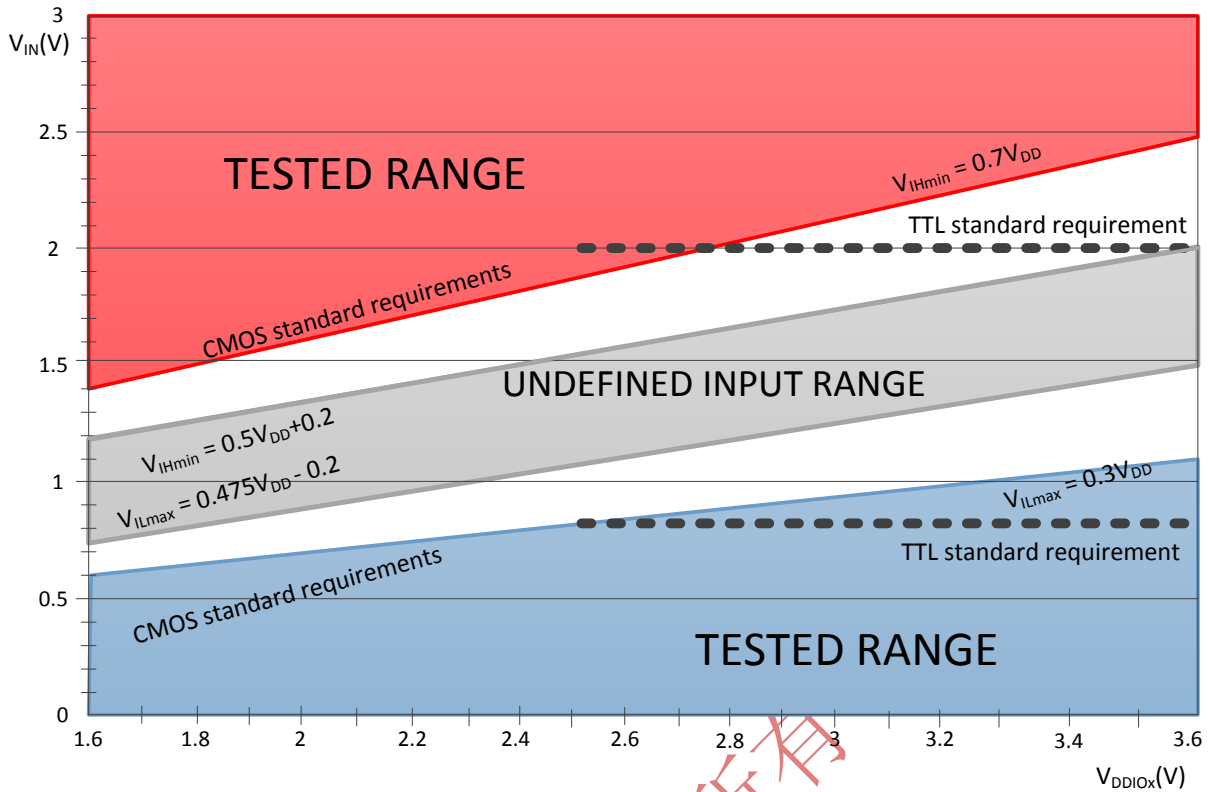


图 20 TC 和 Tta 的 I/O 口输入特性-TTL 端口

输出驱动电流

GPIO(通用输入/输出端口)可以吸收或输出多达 $\pm 8\text{mA}$ 电流, 并且吸收或输出 $\pm 20\text{mA}$ 电流(不严格的 V_{OL}/V_{OH})。

在用户应用中, I/O 脚的数目必须保证驱动电流不能超过 5.2 节给出的绝对最大额定值:

- 所有 I/O 端口从 V_{DD} 上获取的电流总和, 加上 MCU 在 V_{DD} 上获取的最大运行电流, 不能超过绝对最大额定值 I_{VDD} (参见表 17)。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和, 加上 MCU 在 V_{SS} 上流出的最大运行电流, 不能超过绝对最大额定值 I_{VSS} (参见表 17)。

输出电压水平

除非特别说明, 表 51 列出的参数是使用环境温度和 V_{DD} 供电电压符合表 19 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 和 TTL(FT, Tta 或 TC, 除非特别说明)的。

表 51 输出电压特性

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(1)}$	1 个引脚输出低电平	CMOS 端口 ⁽²⁾ $I_{IO} = +8\text{mA}$ $2.7\text{V} < V_{DD} < 3.6\text{V}$	-	0.4	V
$V_{OH}^{(3)}$	1 个引脚输出高电平		$V_{DD} - 0.4$	-	
$V_{OL}^{(1)}$	1 个引脚输出低电平	TTL 端口 ⁽²⁾	-	0.4	

$V_{OH}^{(3)}$	1 个引脚输出高电平	$I_{IO} = +8mA$ $2.7V < V_{DD} < 3.6V$	2.4	-	
$V_{OL}^{(1)(4)}$	1 个引脚输出低电平	$I_{IO} = +20mA$ $2.7V < V_{DD} < 3.6V$	-	1.3	
$V_{OH}^{(3)(4)}$	1 个引脚输出高电平		$V_{DD} - 1.3$	-	
$V_{OL}^{(1)(4)}$	1 个引脚输出低电平	$I_{IO} = +6mA$ $2V < V_{DD} < 2.7V$	-	0.4	
$V_{OH}^{(3)(4)}$	1 个引脚输出高电平		$V_{DD} - 0.4$	-	
V_{OLFM+}	输出低电平，当 1 个 FTf 引脚在 FM+ 模式	$I_{IO} = 20 mA$ $2.7V < V_{DD} < 3.6V$	-	0.4	

1. 芯片吸收的电流 I_{IO} 必须始终遵循表 17 中给出的绝对最大额定值。并且，所有的 I/O (I/O 端口和控制引脚) 源汇入的电流总和必须始终符合绝对最大额定值 I_{VSS} 。
2. TTL 和 CMOS 输出与 JEDEC 标准 JESD36 和 JESD52 兼容。
3. 来自设备的电流 I_{IO} 必须始终遵守表 17 中指定的绝对最大额定值，并且 I_{IO} (I/O 端口和控制引脚)的和必须不超过 I_{VDD} 。
4. 由综合评估得出，不在生产中测试。

输入输出交流特性

输入输出交流特性的定义和数值分别在图 21 和表 52 给出。

除非特别说明，列出的参数是使用环境温度和供电电压 V_{DD} 符合表 19 的条件测量得到。

表 52 输入输出交流特性⁽¹⁾

OSPEEDRy [1:0]值 ⁽¹⁾	符号	参数	条件	最小值	最大值	单位
x0	$f_{max(IO)out}$	最大频率 ⁽²⁾	$C_L = 50 pF,$ $V_{DD} = 2V \sim 3.6V$	-	2	MHz
	$t_{f(IO)out}$	输出的下降时间		-	$125^{(3)}$	ns
	$t_{r(IO)out}$	输出低至高电平的上升时间		-	$125^{(3)}$	
01	$f_{max(IO)out}$	最大频率 ⁽²⁾	$C_L = 50 pF,$ $V_{DD} = 2V \sim 3.6V$	-	10	MHz
	$t_{f(IO)out}$	输出高至低电平的下降时间		-	$25^{(3)}$	ns
	$t_{r(IO)out}$	输出低至高电平的上升时间		-	$25^{(3)}$	
11	$f_{max(IO)out}$	最大频率 ⁽³⁾	$C_L = 30 pF,$ $V_{DD} = 2.7V \sim 3.6V$	-	50	MHz
			$C_L = 50 pF,$ $V_{DD} = 2.7V \sim 3.6V$	-	30	
			$C_L = 50 pF,$ $V_{DD} = 2V \sim 2.7V$	-	20	
	$t_{f(IO)out}$	输出高至低电平的下降时间	$C_L = 30 pF,$ $V_{DD} = 2.7V \sim 3.6V$	-	$5^{(3)}$	ns
		$C_L = 50 pF,$ $V_{DD} = 2.7V \sim 3.6V$	-	$8^{(3)}$		

	$t_{r(IO)out}$	输出低至高电平的上升时间	$C_L=50\text{ pF}$, $V_{DD}=2V\sim 2.7V$	-	$12^{(3)}$	
			$C_L=30\text{ pF}$, $V_{DD}=2.7V\sim 3.6V$	-	$5^{(3)}$	
			$C_L=50\text{ pF}$, $V_{DD}=2.7V\sim 3.6V$	-	$8^{(3)}$	
			$C_L=50\text{ pF}$, $V_{DD}=2V\sim 2.7V$	-	$12^{(3)}$	
FM+ 配置 ⁽⁴⁾	$f_{max(IO)out}$	最大频率 ⁽²⁾	TBD	-	TBD	ns
	$t_{f(IO)out}$	输出高至低电平的下降时间		-	TBD	
	$t_{r(IO)out}$	输出低至高电平的上升时间		-	TBD	
	t_{EXTIpw}	EXTI 控制器检测到外部信号的脉冲宽度		10	-	ns

1. I/O 端口的速度可以通过 OSPEEDRx[1:0]配置。详情请见参考手册中有关 GPIO 端口配置寄存器的说明。
2. 最大频率在图 21 中定义。
3. 由设计保证，不在生产中测试。
4. 当设置 FM+配置时，绕过 I/O 速度控制。

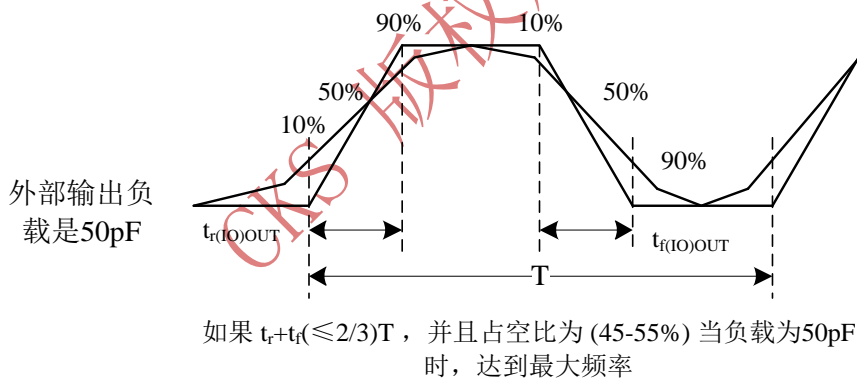


图 21 输入输出交流特性定义

5.3.14 NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻， R_{PU} (参见表 50)。

除非特别说明，表 53 列出的参数是使用环境温度和 V_{DD} 供电电压符合表 19 的条件测量得到。

表 53 NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$	NRST 输入低电平电压	-	-	-	$0.3V_{DD}+0.07^{(1)}$	V
$V_{IH(NRST)}$	NRST 输入高电平电压	-	$0.455V_{DD}+0.398^{(1)}$	-	-	
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞	-	-	200	-	mV
R_{PU}	弱上拉等效电阻 ⁽²⁾	$V_{IN}=V_{SS}$	25	40	55	kΩ
$V_{F(NRST)}$	NRST 输入滤波脉冲		-	-	$100^{(1)}$	ns
$V_{NF(NRST)}$	NRST 输入非滤波脉冲	$2.7 < V_{DD} < 3.6$	$300^{(3)}$	-	-	ns
		$2.0 < V_{DD} < 3.6$	$500^{(3)}$	-	-	

1. 由设计保证，不在生产中测试。
2. 上拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMON/NMOS 开关的电阻很小(约占 10%)。

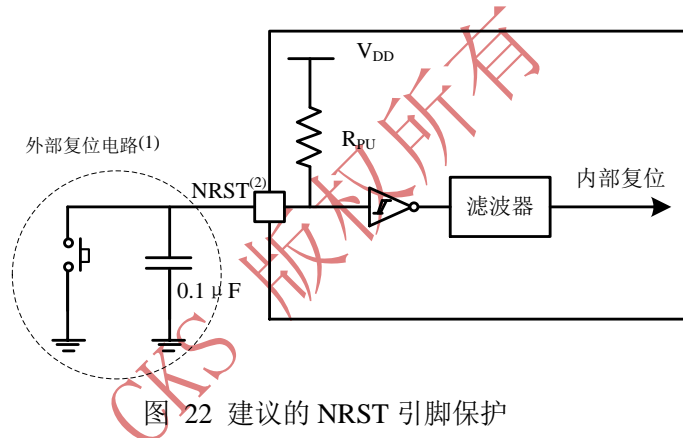


图 22 建议的 NRST 引脚保护

1. 复位网络是为了防止寄生复位。
2. 用户必须保证 NRST 引脚的电位能够低于表 53 中列出的最大 $V_{IL(NRST)}$ 以下，否则 MCU 不能得到复位。

5.3.15 12 位 ADC 特性

除非特别说明，表 54 的参数是使用符合表 19 的条件的环境温度、 f_{PCLK2} 频率和 V_{DDA} 供电电压测量得到。

注意：建议在每次上电时执行一次校准。

表 54 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟供电电压	-	2.4	-	3.6	V
$I_{DDA(ADC)}$	ADC 的电流消耗 ⁽¹⁾	$V_{DDA} = 3.3V$	-	0.9	-	mA
f_{ADC}	ADC 时钟频率	-	0.6	-	14	MHz

$f_s^{(2)}$	采样速率	12 位分辨率	0.043	-	1	MHz
$f_{TRIG}^{(2)}$	外部触发频率	$f_{ADC}=14\text{MHz}$ 12 位分辨率	-	-	823	kHz
		12 位分辨率	-	-	17	$1/f_{ADC}$
V_{AIN}	转换电压范围	-	0	-	V_{DDA}	V
$R_{AIN}^{(2)}$	外部输入阻抗	参见公式 1 和表 55	-	-	50	k Ω
$R_{ADC}^{(2)}$	采样开关电阻	-	-	-	1	k Ω
$C_{ADC}^{(2)}$	内部采样和保持电容	-	-	-	8	pF
$t_{CAL}^{(2)(3)}$	校准时间	$f_{ADC}=14\text{MHz}$	5.9			μs
		-	83			$1/f_{ADC}$
$W_{LATENCY}^{(2)(4)}$	ADC_CR 寄存器写入延迟	ADC clock=HSI14 1.5ADC cycles +2f _{PCLK} cycles	-	-	1.5ADC cycles +3f _{PCLK} cycles	
		ADC clock=PCLK/2	-	4.5	-	f _{PCLK} cycle
		ADC clock= PCLK/4	-	8.5	-	f _{PCLK} cycle
$t_{latr}^{(2)}$	常规触发转换时延	$f_{ADC}=f_{PCLK}/2=14\text{MHz}$	0.196			μs
		$f_{ADC}=f_{PCLK}/2$	5.5			$1/f_{PCLK}$
		$f_{ADC}=f_{PCLK}/4=12\text{MHz}$	0.219			μs
		$f_{ADC}=f_{PCLK}/4$	10.5			$1/f_{PCLK}$
		$f_{ADC}=f_{HSI14}=14\text{MHz}$	0.179	-	0.250	μs
Jitter _{ADC}	ADC 触发转换抖动	$f_{ADC}=f_{HSI14}$	-	1	-	$1/f_{HSI14}$
$t_s^{(2)}$	采样时间	$f_{ADC}=14\text{MHz}$	0.107	-	17.1	μs
		-	1.5	-	239.5	$1/f_{ADC}$
$t_{STAB}^{(2)}$	上电时间	-	14			μs
$t_{CONV}^{(2)}$	总的转换时间 (包括采样时间)	$f_{ADC}=14\text{MHz}$	1	-	18	μs
		12 位分辨率	14~252(采样 t_s +逐步逼近+12.5)			$1/f_{ADC}$

1. 由设计保证，不在生产中测试。

公式 1: 最大 R_{AIN} 公式

$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上述公式(公式 1)用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中 N=12(表示 12 位分辨率)。

表 55 $f_{ADC}=14\text{MHz}^{(1)}$ 时的最大 R_{AIN}

T_S (周期)	$t_S(\mu\text{s})$	最大 $R_{AIN}(\text{k}\Omega)$
1.5	0.11	0.4
7.5	0.54	5.9
13.5	0.96	11.4
28.5	2.04	25.2
41.5	2.96	37.2
55.5	3.96	50
71.5	5.11	NA
239.5	17.1	NA

1. 由设计保证，不在生产中测试。

表 56 ADC 精度- 局限的测试条件⁽¹⁾⁽²⁾⁽³⁾

符号	参数	测试条件	典型值	最大值 ⁽³⁾	单位
ET	综合误差	$f_{PCLK} = 48\text{MHz}$ $f_{ADC} = 14 \text{ MHz}$, $R_{AIN} < 10 \text{ k}\Omega$, $V_{DDA} = 3\sim 3.6\text{V}$, $T_A = 25^\circ\text{C}$	± 1.3	± 2	LSB
EO	偏移误差		± 1	± 1.5	
EG	增益误差		± 0.5	± 1.5	
ED	微分线性误差		± 0.7	± 1	
EL	积分线性误差		± 0.8	± 1.5	
ET	综合误差	$f_{PCLK} = 48\text{MHz}$ $f_{ADC} = 14 \text{ MHz}$, $R_{AIN} < 10 \text{ k}\Omega$, $V_{DDA} = 2.7\sim 3.6\text{V}$, $T_A = -40\sim 105^\circ\text{C}$	± 3.3	± 4	LSB
EO	偏移误差		± 1.9	± 2.8	
EG	增益误差		± 2.8	± 3	
ED	微分线性误差		± 0.7	± 1.3	
EL	积分线性误差		± 1.2	± 1.7	
ET	综合误差	$f_{PCLK} = 48\text{MHz}$ $f_{ADC} = 14 \text{ MHz}$, $R_{AIN} < 10 \text{ k}\Omega$, $V_{DDA} = 2.4\sim 3.6\text{V}$, $T_A = 25^\circ\text{C}$	± 3.3	± 4	LSB
EO	偏移误差		± 1.9	± 2.8	
EG	增益误差		± 2.8	± 3	
ED	微分线性误差		± 0.7	± 1.3	
EL	积分线性误差		± 1.2	± 1.7	

1. ADC 的直流精度数值是在经过内部校准后测量的。

2. ADC 精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低，另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间)增加一个肖特基二极管。

如果正向的注入电流，只要处于第 5.3.13 节中给出的 $I_{IN(PIN)}$ 和 $\Sigma I_{IN(PIN)}$ 范围之内，就不会影响 ADC 精度。

3. 在有约束的 V_{DDA} ，频率和温度范围内可以实现更好的性能。

4. 由综合评估保证，不在生产中测试。

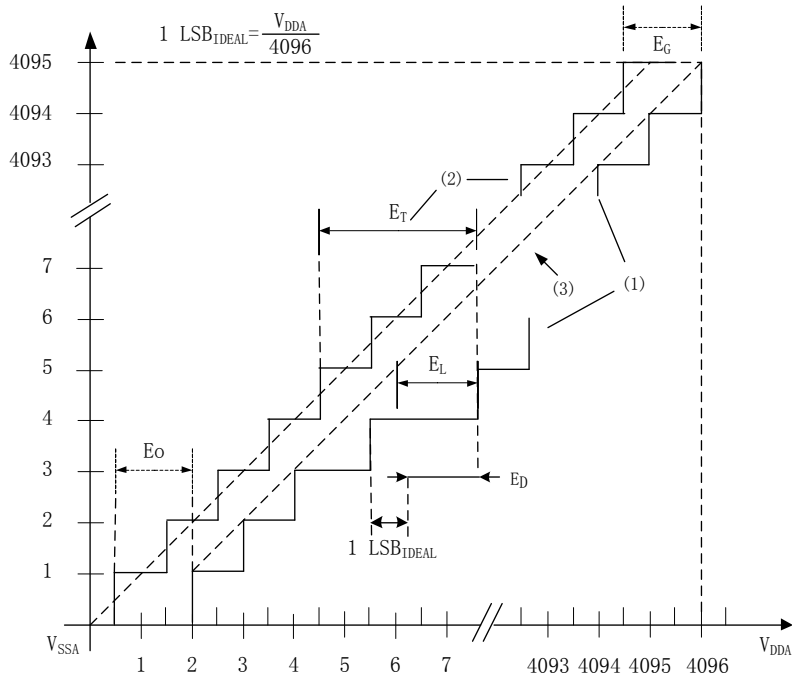


图 23 ADC 精度特性

- (1) 为实际 ADC 转换曲线的例子
- (2) 理想转换曲线
- (3) 实际转换点连线

E_T 综合误差：实际转换曲线与理想转换曲线间的最大偏离。

E_o 偏移误差：实际转换曲线上的第一次跃迁与理想转换曲线上的第一次跃迁之差。

E_G 增益误差：实际转换曲线上的最后一次跃迁与理想转换曲线上的最后一次跃迁之差。

E_D 微分线性误差：实际转换曲线上步距与理想步距之差。

E_L 积分线性误差：实际转换曲线与终点连线间的最大偏离。

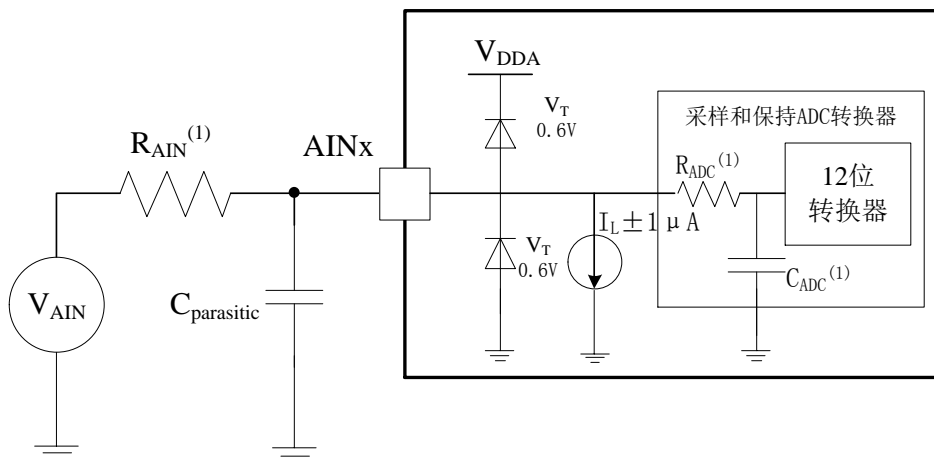


图 24 使用 ADC 典型的连接图

1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值，参见表 54。
2. $C_{parasitic}$ 表示 PCB(与焊接和 PCB 布局质量相关)与焊盘上的寄生电容(大约 7pF)。较大的 $C_{parasitic}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

PCB 设计建议

电源的去藕必须按照图 11 连接。图中的 10nF 电容必须是瓷介电容，它们应该尽可能地靠近 MCU 芯片。

5.3.16 DAC 电器规格

表 57 DAC 特性

符号	参数	最小值	典型值	最大值	单位	注释
V_{DDA}	DAC开启的模拟电源电压	2.4	-	3.6	V	
$R_{LOAD}^{(1)}$	缓冲器开启的电阻负载	5	-	-	k Ω	负载 V_{SSA}
		15	-	-	k Ω	负载 V_{DDA}
$R_O^{(1)}$	缓冲器关闭时的阻抗输出	-	-	15	k Ω	当缓冲器关闭，DAC_OUT和Vss之间的最小电阻负载1% 的精度是1.5 M Ω
$C_{LOAD}^{(1)}$	负载电容	-	-	50	pF	最小的负载电容在DAC_OUT 引脚(当缓冲器是开启的)。
DAC_OUT 最小 ⁽¹⁾	缓冲器开启时降低 DAC_OUT 电压	0.2	-	-	V	它给出了DAC的最大输出偏移。
DAC_OUT 最大 ⁽¹⁾	缓冲器开启时升高 DAC_OUT 电压	-	-	$V_{DDA}-0.2$	V	它对应12位的输入代码(0x0E0) 到 (0xF1C) 在 $V_{DDA} = 3.6 V$ ，和(0x155)到(0xEAB)在 $V_{DDA} = 2.4 V$
DAC_OUT 最小 ⁽¹⁾	缓冲器关闭时降低 DAC_OUT 电压	-	0.5	-	mV	它给出了DAC的最大输出偏移。
DAC_OUT 最大 ⁽¹⁾	缓冲器关闭时升高 DAC_OUT 电压	-	-	$V_{DDA}-1LSB$	V	
I_{DDA}	静态模式下的DAC直流电流消耗(待机模式)	-	-	600	μA	无负载，中间代码(0x800)输入
		-	-	700	μA	无负载，最差代码(0xF1C)输入
DNL ⁽²⁾	微分非线性(两个连续代码-1LSB之间的差异)	-	-	± 0.5	LSB	给出了10位配置的DAC
		-	-	± 2	LSB	给出了12位配置的DAC
INL ⁽²⁾	积分非线性(代码i处的测量值与代码0和代码1023之间绘制的代码i中的值之间的差异)	-	-	± 1	LSB	给出了10位配置的DAC
		-	-	± 4	LSB	给出了12位配置的DAC
Offset ⁽²⁾	偏移误差(代码(0x800)的测量值与理想值= $V_{DDA}/2$ 之间的差异)	-	-	± 10	mV	给出了12位配置的DAC
		-	-	± 3	LSB	给出了10位配置的DAC在 $V_{DDA} = 3.6 V$

		-	-	± 12	LSB	给出了12位配置的DAC在 $V_{DDA} = 3.6\text{ V}$
Gain error ⁽²⁾	增益误差	-	-	± 0.5	%	给出了12位配置的DAC
$t_{SETTLING}^{(2)}$	稳定时间(完全: 当DAC_OUT 达到最终值 $\pm 1\text{LSB}$ 时, 最低和最高输入代码之间的10位输入代码转换。	-	3	4	μs	$C_{LOAD} \leq 50\text{ pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$
Update rate ⁽²⁾	当输入代码(从代码i到i+1LSB)变化很小时, 正确DAC_OUT的最大频率改变	-	-	1	μs	$C_{LOAD} \leq 50\text{ pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$
$t_{WAKEUP}^{(2)}$	从关闭状态的唤醒时间 (置DAC控制寄存器的ENx位)	-	6.5	10	μs	$C_{LOAD} \leq 50\text{ pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$ 在最低和最高可能之间的输入代码
PSRR+ ⁽¹⁾	电源抑制比 (对于VDDA) (静态直流测量)	-	-67	-40	dB	无 R_{LOAD} , $C_{LOAD} = 50\text{pF}$

1. 由设计保证, 不在生产中测试。
2. 数据仅基于设计仿真得出, 不在生产中测试。

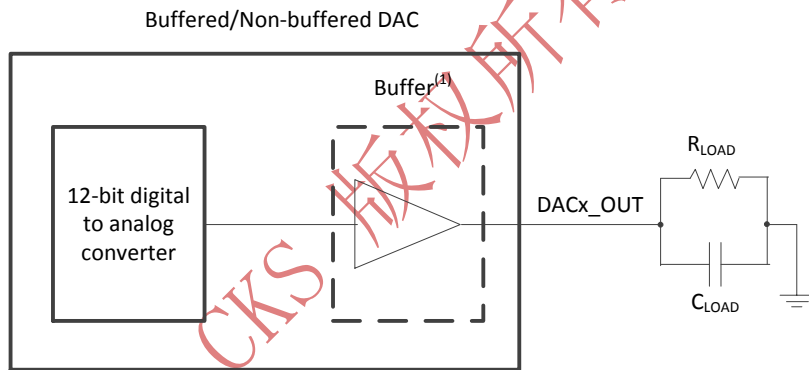


图 25 12 位缓冲/无缓冲 DAC

1. DAC 集成了一个输出缓冲器, 可用于降低输出阻抗并直接驱动外部负载, 无需使用外部运算放大器。通过配置DAC_CR 寄存器中的BOFFx位, 可以旁路缓冲器。

5.3.17 比较器特性

表 58 比较器特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟电源电压		2	-	3.6	V
V_{IN}	比较器输入电压范围		0	-	V_{DDA}	
V_{BG}	Scaler 输入电压		-	1.2		
V_{SC}	Scaler 偏移电压		-	± 5	± 10	mV
t_{S_SC}	Scaler断电启动时间		-	-	0.1	ms
t_{START}	比较器启动时间	到达传播延迟规范的启动时间	-	-	60	μs

t_D	100 mV过驱动的传输延迟为200 mV步	超低功耗模式		-	2	4.5	μs
		低功耗模式		-	0.7	1.5	
		中功耗模式		-	0.3	0.6	
		高速供电模式	$V_{DDA} \geq 2.7V$	-	50	100	ns
	$V_{DDA} < 2.7V$		-	100	240		
	100 mV过驱动的全范围步进的传播延迟	超低功耗模式		-	2	7	μs
		低功耗模式		-	0.7	2.1	
		中功耗模式		-	0.3	1.2	
高速供电模式		$V_{DDA} \geq 2.7V$	-	90	180	ns	
		$V_{DDA} < 2.7V$	-	110	300		
V_{offset}	比较器偏移误差			-	± 4	± 10	mV
dV_{offset}/dT	偏移误差温度系数			-	18	-	$\mu V/^\circ C$
$I_{DD(Comp)}$	COMP消耗	超低功耗模式		-	1.2	1.5	μA
		低功耗模式		-	3	5	
		中功耗模式		-	10	15	
		高速供电模式		-	75	100	
V_{hys}	比较器滞后	无滞后 (COMPxHYST[1:0]=00)		-	0	-	mV
		低滞后 (COMPxHYST[1:0]=01)	高速供电模式	3	8	13	
			所有其他供电模式	5		10	
		中等滞后 (COMPxHYST[1:0]=10)	高速供电模式	7	15	26	
			所有其他供电模式	9		19	
		高滞后 (COMPxHYST[1:0]=11)	高速供电模式	18	31	49	
所有其他供电模式	19		40				

1. 由设计保证，不在生产中测试。

5.3.18 温度传感器特性

表 59 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	V_{SENSE} 相对于温度的线性度	-	± 1	± 2	$^\circ C$
Avg_Slope ⁽¹⁾	平均斜率	4.0	4.3	4.6	mV/ $^\circ C$
V_{25}	在 25 $^\circ C$ 时的电压	1.524	1.599	1.67	V
$t_{START}^{(1)}$	建立时间	-	-	10	μs
$T_{S_temp}^{(1)(2)}$	当读取温度时，ADC 采样时间	4	-	-	μs

1. 由设计保证，不在生产中测试。

2. 最短的采样时间可以由应用程序通过多次循环决定。

5.3.19 V_{BAT} 监控特征

表 60 V_{BAT} 监控特征

符号	参数	最小值	典型值	最大值	单位
R	V _{BAT} 的电阻桥	-	2x50	-	kΩ
Q	V _{BAT} 的测量比	-	2	-	
Er ⁽¹⁾	Q 的误差	-1	-	+1	%
T _{S_vbat} ⁽¹⁾⁽²⁾	读取V _{BAT} 1mV精度时的ADC采样时间	4	-	-	μs

1. 由设计保证，不在生产中测试。
2. 最短的采样时间可以由应用程序通过多次循环决定。

5.3.20 Timer 定时器特性

表 61 列出的参数由设计保证。

有关输入输出复用功能引脚(输出比较、输入捕获、外部时钟、PWM 输出)的特性详情，参第 5.3.12 节。

表 61 TIMx⁽¹⁾ 特性

符号	参数	条件	最小值	典型值	最大值	单位
t _{res(TIM)}	定时器分辨时间	-	-	1	-	t _{TIMxCLK}
		f _{TIMxCLK} = 48MHz	-	20.8	-	ns
f _{EXT}	CH1 至 CH4 的定时器外部时钟频率	-	-	f _{TIMxCLK} /2	-	MHz
		f _{TIMxCLK} = 48MHz	-	24	-	MHz
t _{MAX_COUNT}	16 位计数器最大可能的计数	-	-	2 ¹⁶	-	t _{TIMxCLK}
		f _{TIMxCLK} = 48MHz	-	1365	-	μs
	32 位计数器最大可能的计数	-	-	2 ³²	-	t _{TIMxCLK}
		f _{TIMxCLK} = 48MHz	-	89.48	-	s

1. TIMx 是一个通用的名称，代表 TIM1, TIM2, TIM3, TIM6, TIM14, TIM15, TIM16 和 TIM17。

表 62 IWDG 在 40 kHz 最小/最大超时期限(LSI)⁽¹⁾

预分频驱动器	PR[2: 0]位	最小超时 RL[11: 0]=0x000	最大超时 RL[11: 0]=0xFFFF	单位
/4	0	0.1	409.6	ms
/8	1	0.2	819.2	
/16	2	0.4	1638.4	
/32	3	0.8	3276.8	
/64	4	1.6	6553.6	
/128	5	3.2	13107.2	
/256	6 或 7	6.4	26214.4	

1. 这些时序是针对40 kHz时钟给出的，但微控制器的内部RC频率可以在30到60之间变化。此外，给定一个精确的RC振荡器频率，精确的时序仍取决于APB接口时钟与LSI时钟的相位，因此始终存在完整的RC周期不确定性。

表 63 WWDG 在 48 kHz 最小/最大超时值

预分频驱动器	WDGTB	最小超时值	最大超时值	单位
1	0	0.0853	5.4613	ms
2	1	0.1706	10.9226	
4	2	0.3413	21.8453	
8	3	0.6826	43.6906	

5.3.21 通信接口

I²C 接口符合标准 I²C 总线规范和用户手册的时序要求：

- Standard-mode(Sm): 比特率高达 100kbit/s
- Fast-mode(Fm): 比特率高达 400kbit/s
- Fast-mode Plus(Fm+): 比特率高达 1Mbit/s

当 I2C 外设正确配置时，I2C 时序要求由设计保证(根据用户手册)。

SDA 和 SCL I/O 要求满足以下限制：SDA 和 SCL I/O 引脚不是“真的”开漏。当配置为漏极开路时，连接在 I/O 引脚和 V_{DDIOx} 之间的 PMOS 被禁止，但仍然存在。只有 FTf I/O 引脚支持 Fm+ 低电平输出电流最大要求。根据 5.3.14 节，I2C I/O 特性。

所有 I2C SDA 和 SCL I/O 嵌入一个模拟滤波器。模拟滤波器特征见下表：

表 64 I²C 模拟滤波器特性⁽¹⁾

符号	参数	最小值	最大值	单位
t _{AF}	由模拟滤波器抑制的尖峰脉冲宽度	50 ⁽²⁾	260 ⁽³⁾	ns

1. 由设计保证，没有在生产中测试。
2. 宽度低于 t_{AF(min)} 的尖峰被过滤。
3. 宽度高于 t_{AF(max)} 的尖峰没有被过滤。

SPI/I²S 接口特性

除非另有说明，表 65 中给出的测试 SPI 参数和表 66 中的 I²S 来自环境温度，频率 f_{PCLKx} 和电源电压条件见表 19。

更多有关输入输出复用功能特性详情(SPI 的 NSS, SCK, MOSI, MISO 和 WS, CK, SD 对于 I²S)，参见第 5.3.14 节。

表 65 I²C 接口特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
f _{SCK} 1/t _{c(SCK)}	SPI 时钟频率	主模式	-	18	MHz
		从模式	-	18	
t _{r(SCK)} t _{f(SCK)}	SPI 时钟上升和下降时间	负载电容: C = 15pF	-	6	ns
t _{su(NSS)}	NSS 建立时间	从模式	4T _{pclk}	-	ns
t _{h(NSS)}	NSS 保持时间	从模式	2 T _{pclk} +10	-	
t _{w(SCKH)} t _{w(SCKL)}	SCK 高和低的时间	主模式, f _{PCLK} = 36MHz, 预分频系数=4	T _{pclk} /2-2	T _{pclk} /2+1	
t _{su(MI)} t _{su(SI)}	数据输入建立时间	主模式	4	-	
		从模式	5	-	
t _{h(MI)} t _{h(SI)}	数据输入保持时间	主模式	4	-	
		从模式	5	-	
t _{a(SO)} ⁽²⁾	数据输出访问时间	从模式, f _{PCLK} =20MHz	0	3T _{pclk}	
t _{dis(SO)} ⁽³⁾	数据输出禁止时间	从模式	0	18	
t _{v(SO)}	数据输出有效时间	从模式(使能边沿之后)	-	22.5	
t _{v(MO)}	数据输出有效时间	主模式(使能边沿之后)	-	6	
t _{h(SO)} t _{h(MO)}	数据输出保持时间	从模式(使能边沿之后)	11.5	-	
		主模式(使能边沿之后)	2	-	
DuCy(SCK)	从机输入时钟占空比	从模式	25	75	%

1. 由综合评估得出，不在生产中测试。
2. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

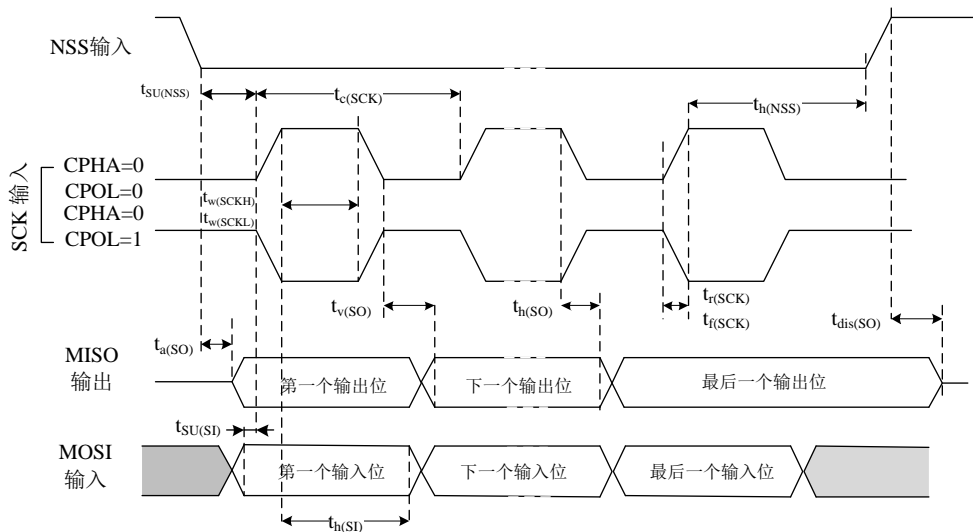


图 26 SPI 时序图-从模式和 CPHA=0

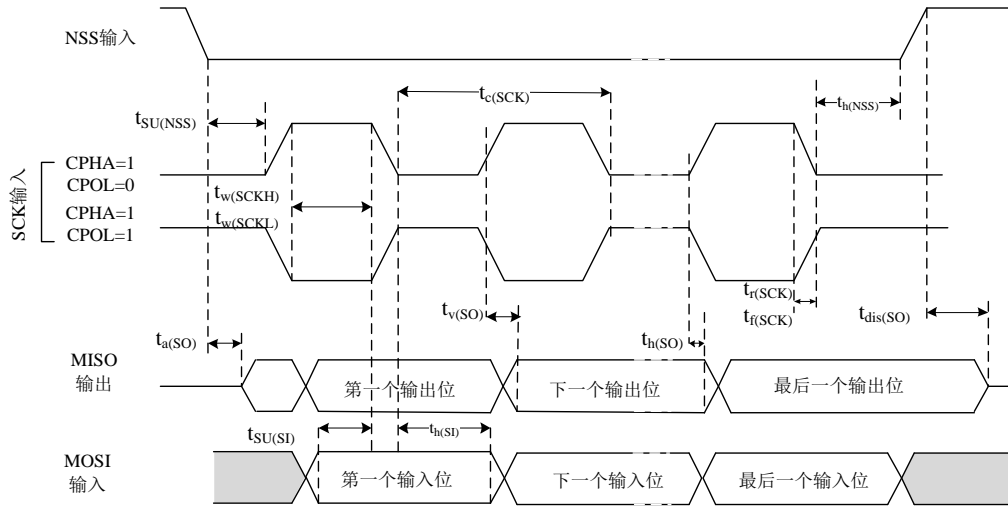


图 27 SPI 时序图- 从模式和 CPHA=1⁽¹⁾

1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

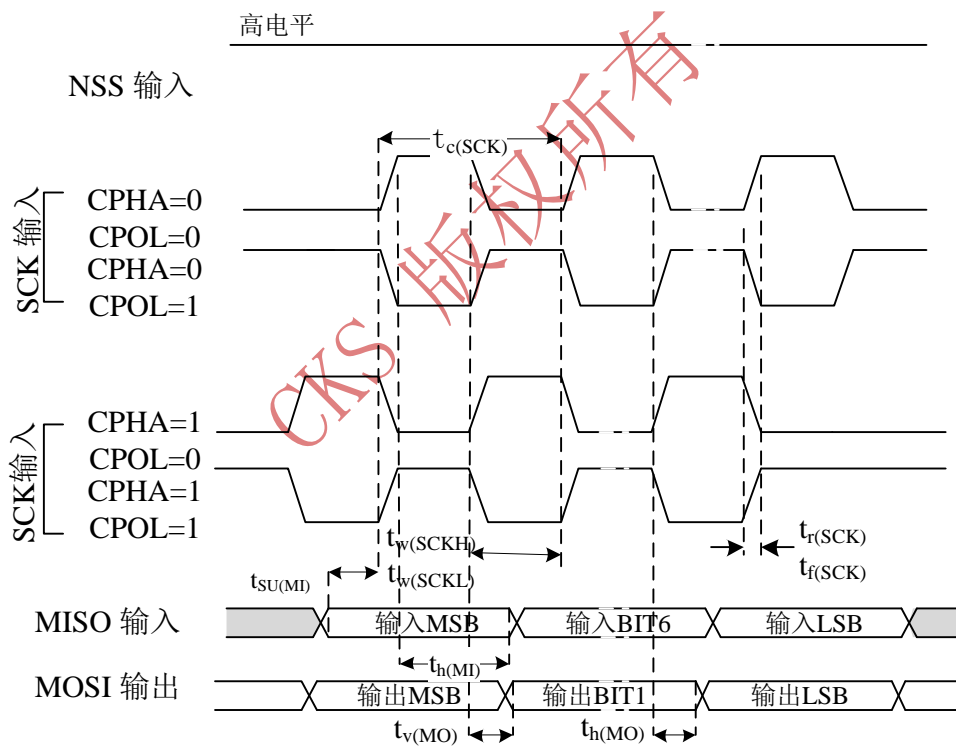


图 28 SPI 时序图-主模式⁽¹⁾

1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

表 66 I²S 特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
f _{CK} 1/t _{c(CK)}	I ² S 时钟频率	主模式(数据: 16 位, 频率 =48kHz)	1.597	1.601	MHz
		从模式	0	6.5	

$t_{r(CK)}$	I ² S 时钟上升时间	负载电容: C = 15pF	-	10	ns	
$t_{f(CK)}$	I ² S 时钟下降时间		-	12		
$t_{w(CKH)}$	I ² S 高的时间	主模式, $f_{PCLK} = 16\text{MHz}$, 频率=48kHz	306	-		
$t_{w(CKL)}$	I ² S 低的时间		312	-		
$t_{v(WS)}$	数据输出有效时间	主模式	2	-		
$t_{h(WS)}$	数据输出保持时间	主模式	2	-		
$t_{su(WS)}$	数据输出设置时间	从模式	7	-		
$t_{h(MO)}$	数据输出保持时间	从模式	0	-		
DuCy(SCK)	从机输入时钟占空比	从模式	25	75		%
$t_{su(SD_MR)}$	数据输入设置时间	主接收器	6	-		ns
$t_{su(SD_SR)}$		从接收器	2	-		
$t_{h(SD_MR)}$	数据输入保持时间	主接收器	4	-		
$t_{h(SD_SR)}$		从接收器	0.5	-		
$t_{v(SD_MT)}$	数据输出有效时间	主发射器	-	4		
$t_{v(SD_ST)}$		从发射器	-	20		
$t_{h(SD_MT)}$	数据输出保持时间	主发射器	0	-		
$t_{h(SD_ST)}$		从发射器	13	-		

- 由综合评估得出, 不在生产中测试。
- 取决于 f_{PCLK} 。例如, 如果 $f_{PCLK}=8\text{MHz}$, 则 $T_{PCLK} = 1/f_{PCLK} = 125\text{ns}$

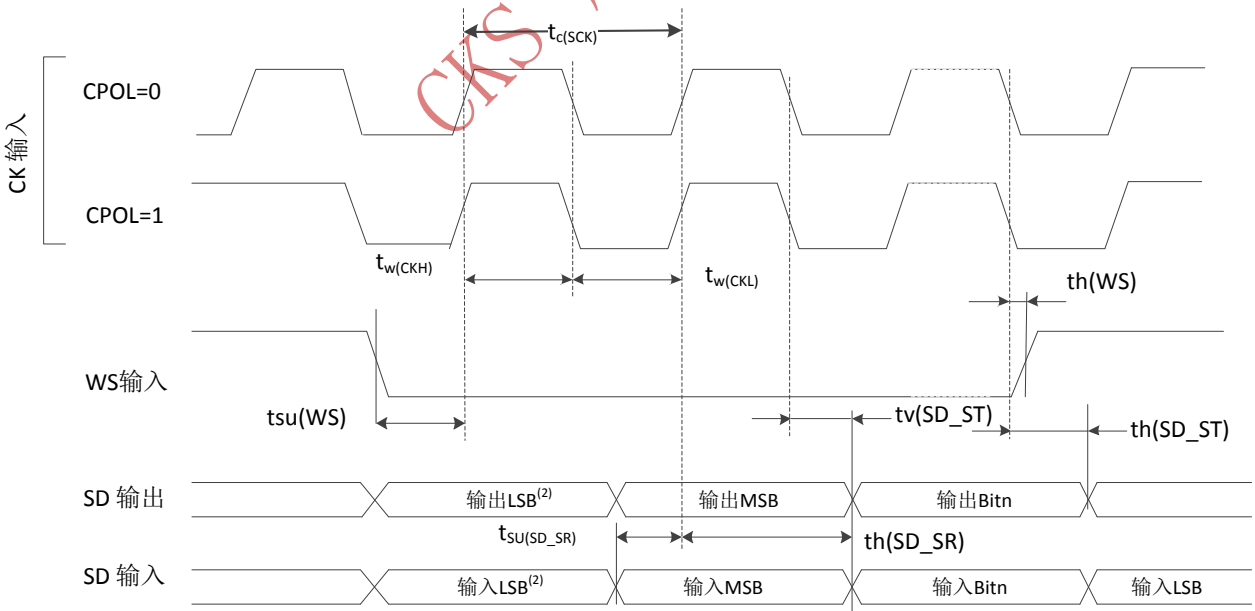


图 29 I²S 从模式时序图

- 测量点以 CMOS 电平完成: $0.3 \times VDDIOx$ 和 $0.7 \times VDDIOx$ 。
- 先前传输字节的 LSB 发送/接收。在第一个字节之前没有发送 LSB 发送/接收。

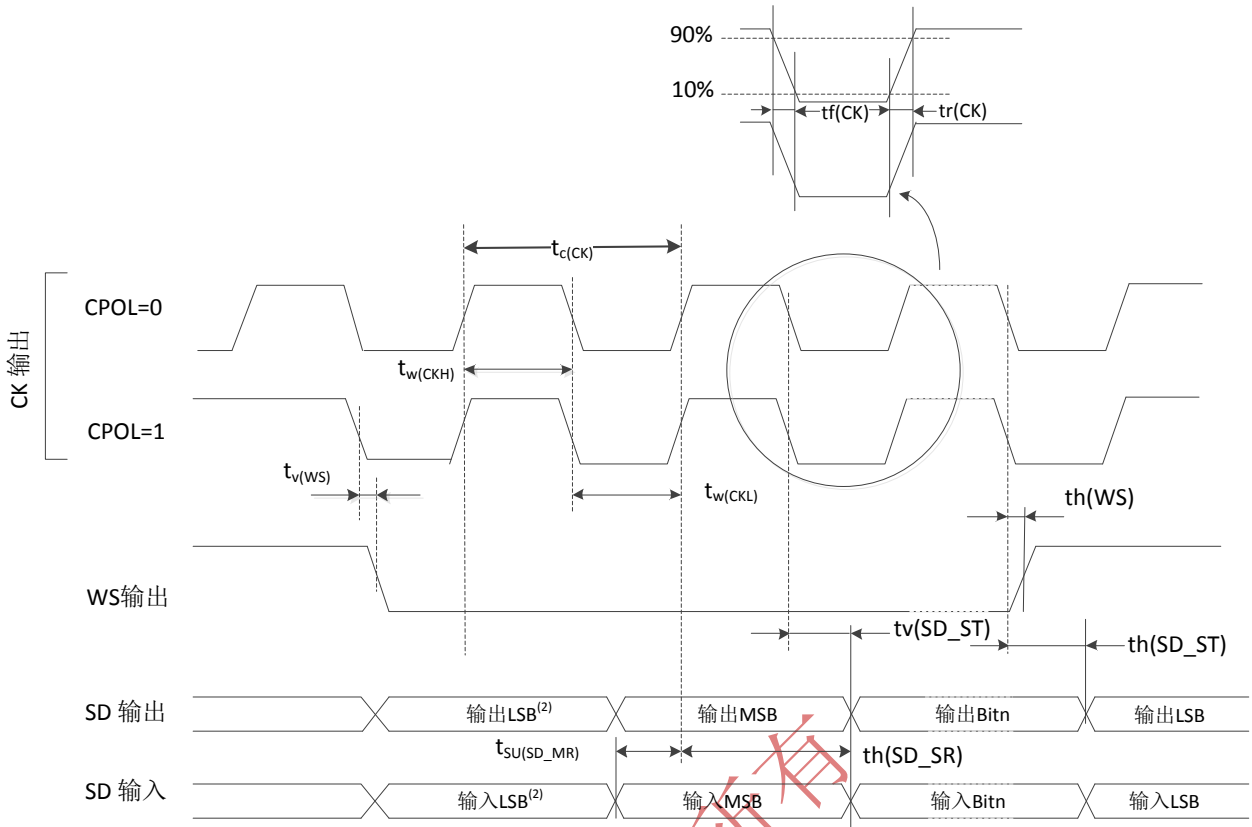


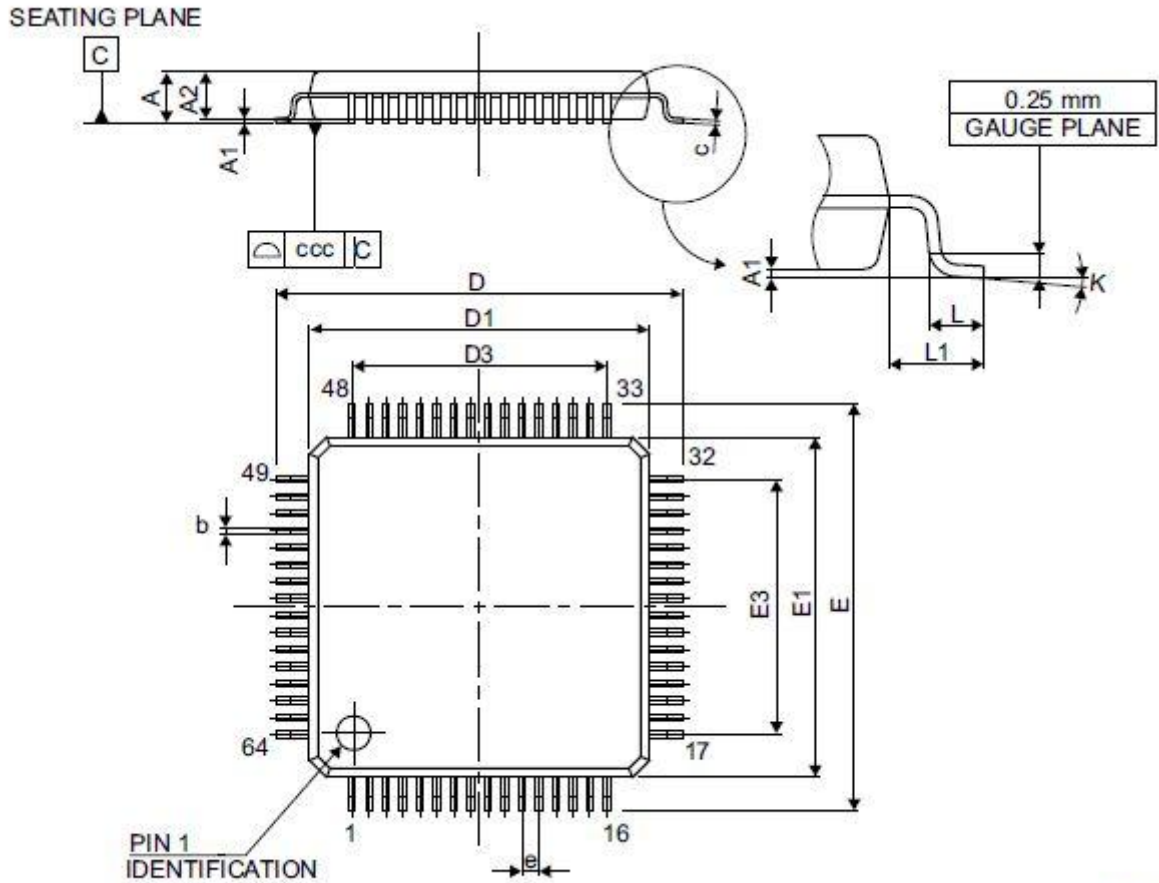
图 30 I2S 主模式时序图

1. 基于特征结果的数据，未在生产中测试。
2. 先前传输字节的 LSB 发送/接收。 在第一个字节之前没有发送 LSB 发送/接收。

CKS 版权所有

6 封装特性

6.1 封装机械数据



5W_ME_V3

图 31 LQFP64 - 10×10 毫米 64 引脚薄型四方扁平封装机械数据⁽¹⁾

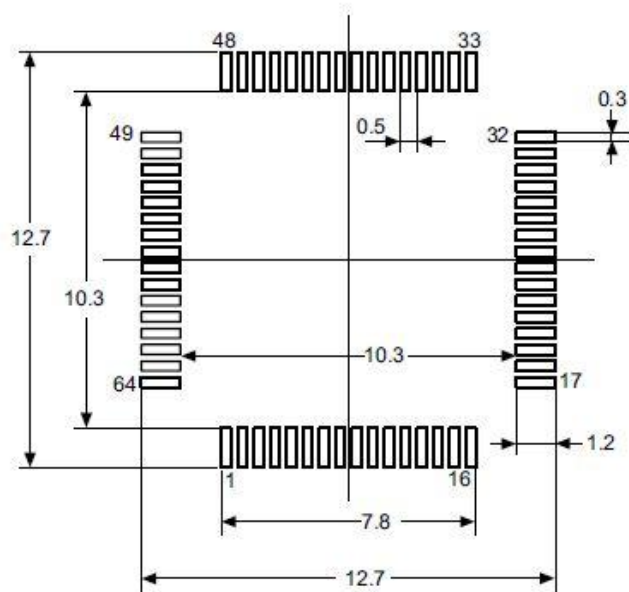
1. 图形未按比例绘制。

表 67 LQFP64 - 10×10 毫米 64 引脚薄型四方扁平封装机械数据

符号	毫米			英寸 ⁽¹⁾		
	最小	典型	最大	最小	典型	最大
A			1.600			0.0630
A1	0.050		0.150	0.0020		0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090		0.200	0.0035		0.0079

D	11.800	12.000	12.200	0.4646	0.4724	0.4803
D1	9.800	10.000	10.200	0.3858	0.3937	0.4016
D.		7.500				
E	11.800	12.000	12.200	0.4646	0.4724	0.4803
E1	9.800	10.00	10.200	0.3858	0.3937	0.4016
e		0.500			0.0197	
k	0°	3.5°	7°	0°	3.5°	7°
L	0.450	0.600	0.75	0.0177	0.0236	0.0295
L1		1.00			0.0394	
ccc			0.080			0.0031

1. 英寸的值转换自毫米数据，四舍五入到 4 位十进制数字。



al14909c

图 32 推荐的 LQFP64 封装图

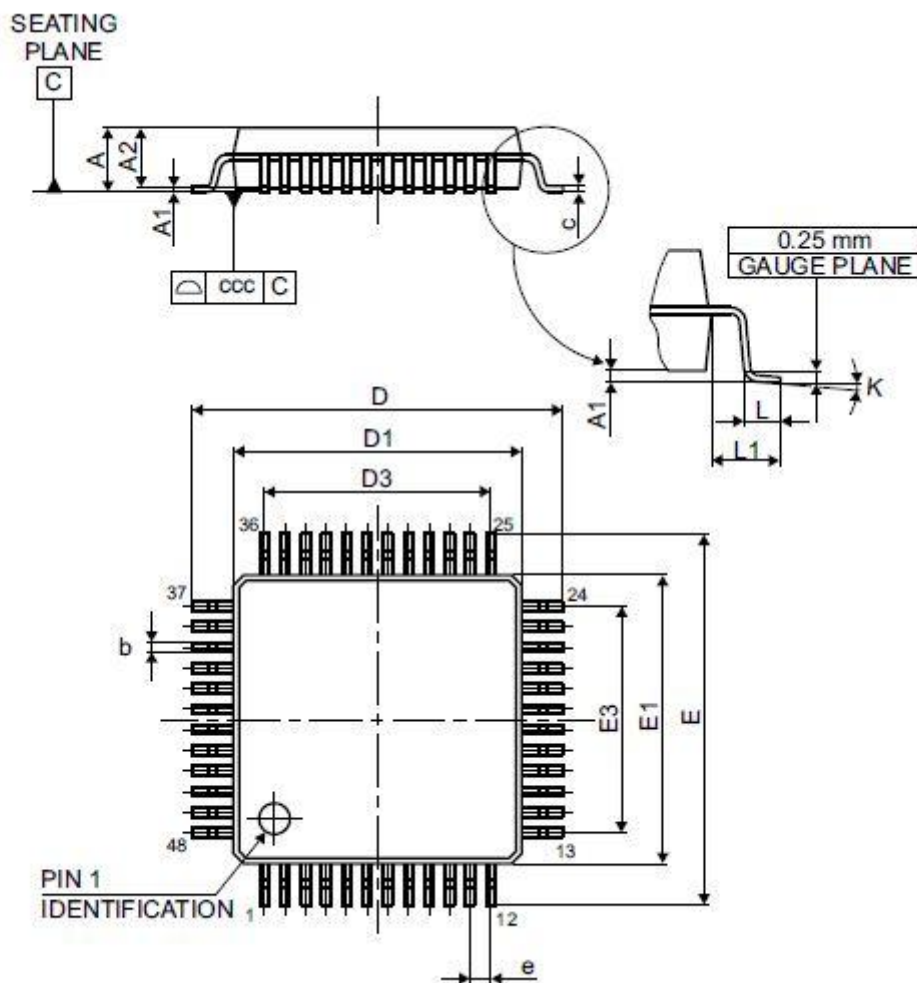


图 33 LQFP48 - 7x7mm 的 48 引脚薄型四方扁平封装外形⁽¹⁾

1. 图形未按比例绘制

表 68 LQFP48 - 7x7 毫米 48 引脚薄型四方扁平封装机械数据

符号	毫米			英寸 ⁽¹⁾		
	最小	典型	最大	最小	典型	最大
A			1.600			0.0630
A1	0.050		0.150	0.0020		0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090		0.200	0.0035		0.0079
D	8.800	9.000	9.200	0.3465	0.3543	0.3622
D1	6.800	7.000	7.200	0.2677	0.2756	0.2835
D3		5.500			0.2165	

E	8.800	9.000	9.200	0.3465	0.3543	0.3622
E1	6.800	7.000	7.200	0.2677	0.2756	0.2835
E3		5.500			0.2165	
e		0.500			0.0197	
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1		1.000			0.0394	
k	0°	3.5°	7°	0°	3.5°	7°
ccc			0.080			0.0031

1. 英寸的值转换自毫米数据，四舍五入到 4 位十进制数字

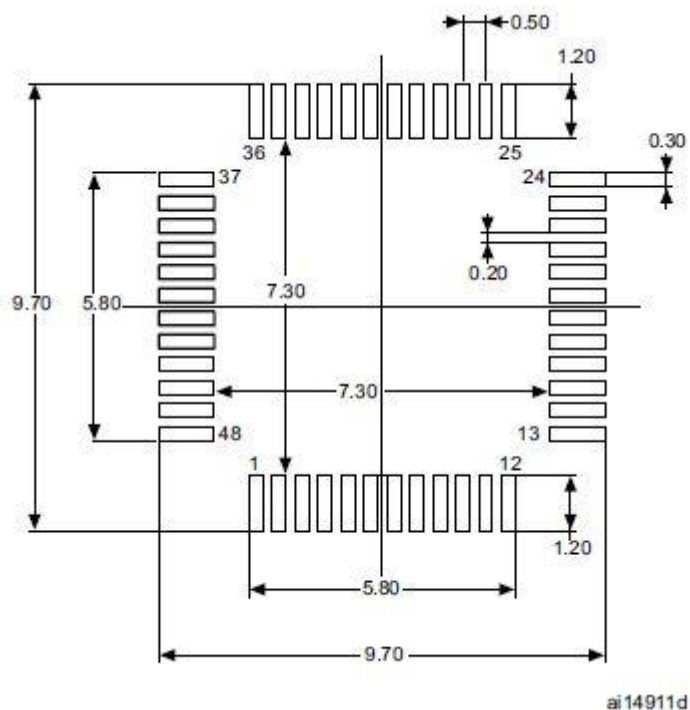
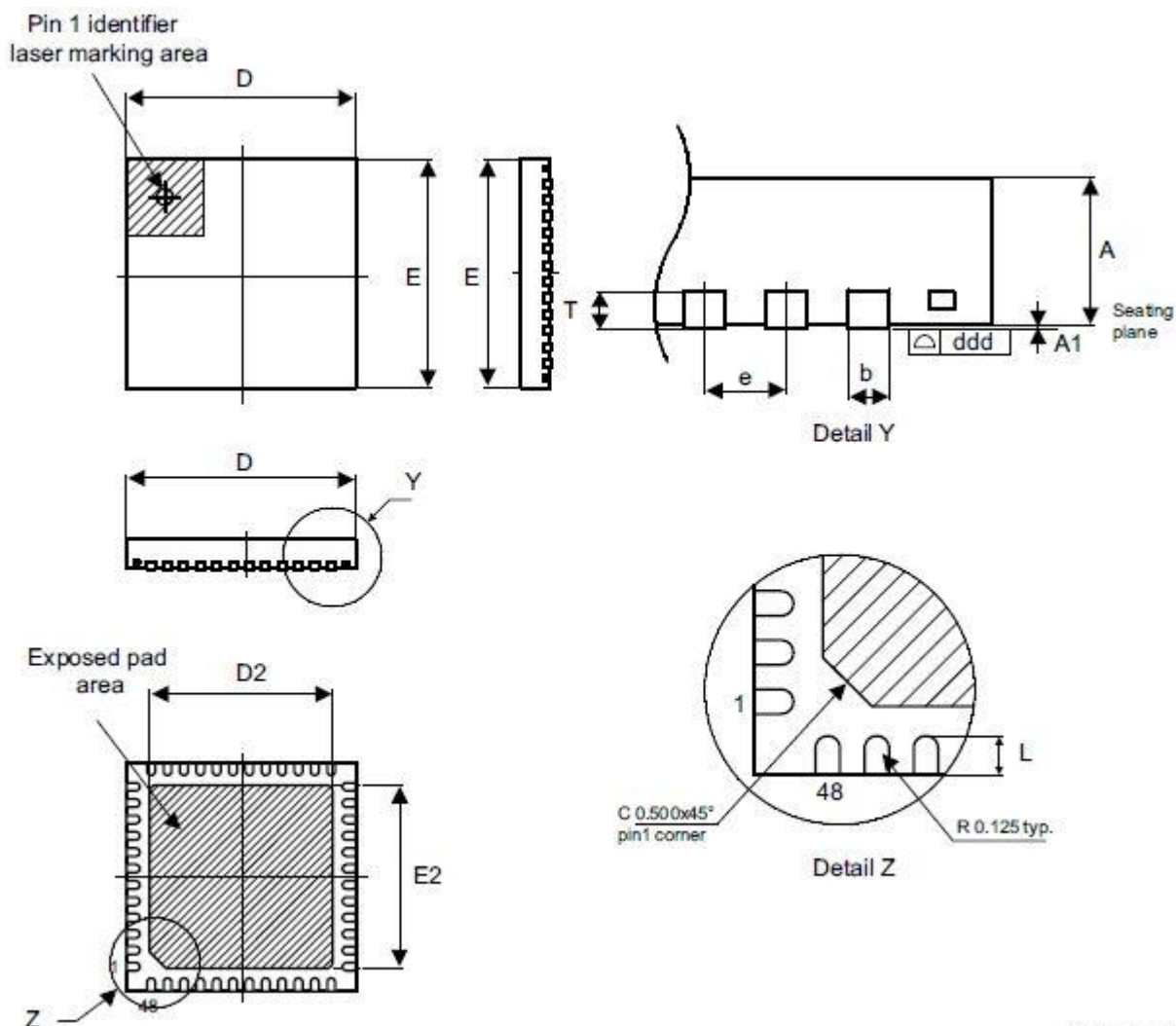


图 34 推荐的 LQFP48 封装图



A0B9_ME_V3

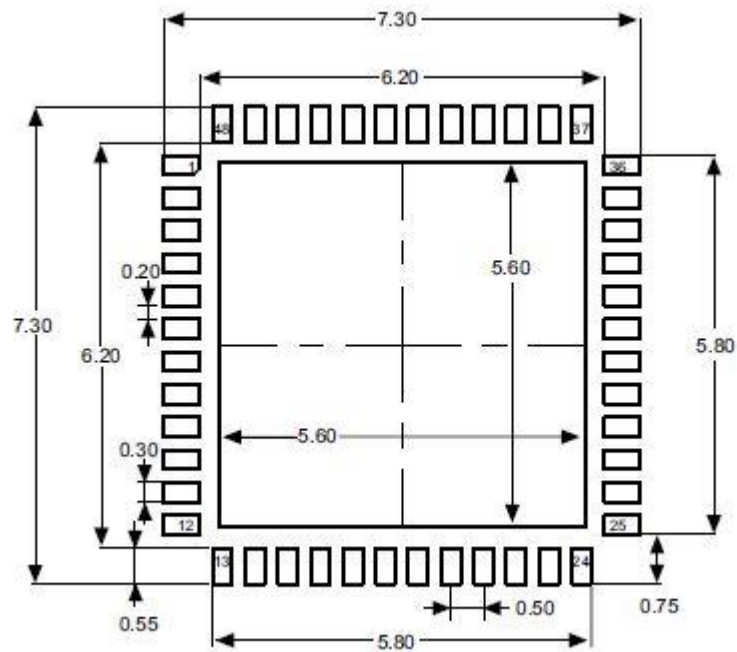
图 35 UFQFPN48 封装外形⁽¹⁾

1. 图形未按比例绘制

表 69 UFQFPN48 引脚封装机械数据

符号	毫米			英寸 ⁽¹⁾		
	最小	典型	最大	最小	典型	最大
A	0.500	0.550	0.600	0.0197	0.0217	0.0236
A1	0.000	0.020	0.050	0.0000	0.0008	0.0020
D	6.900	7.000	7.100	0.2717	0.2756	0.2795
E	6.900	7.000	7.100	0.2717	0.2756	0.2795
D2	5.500	5.600	5.700	0.2165	0.2205	0.2244
E2	5.500	5.600	5.700	0.2165	0.2205	0.2244
L	0.300	0.400	0.500	0.0118	0.0157	0.0197
T	-	0.152	-	-	0.0060	-

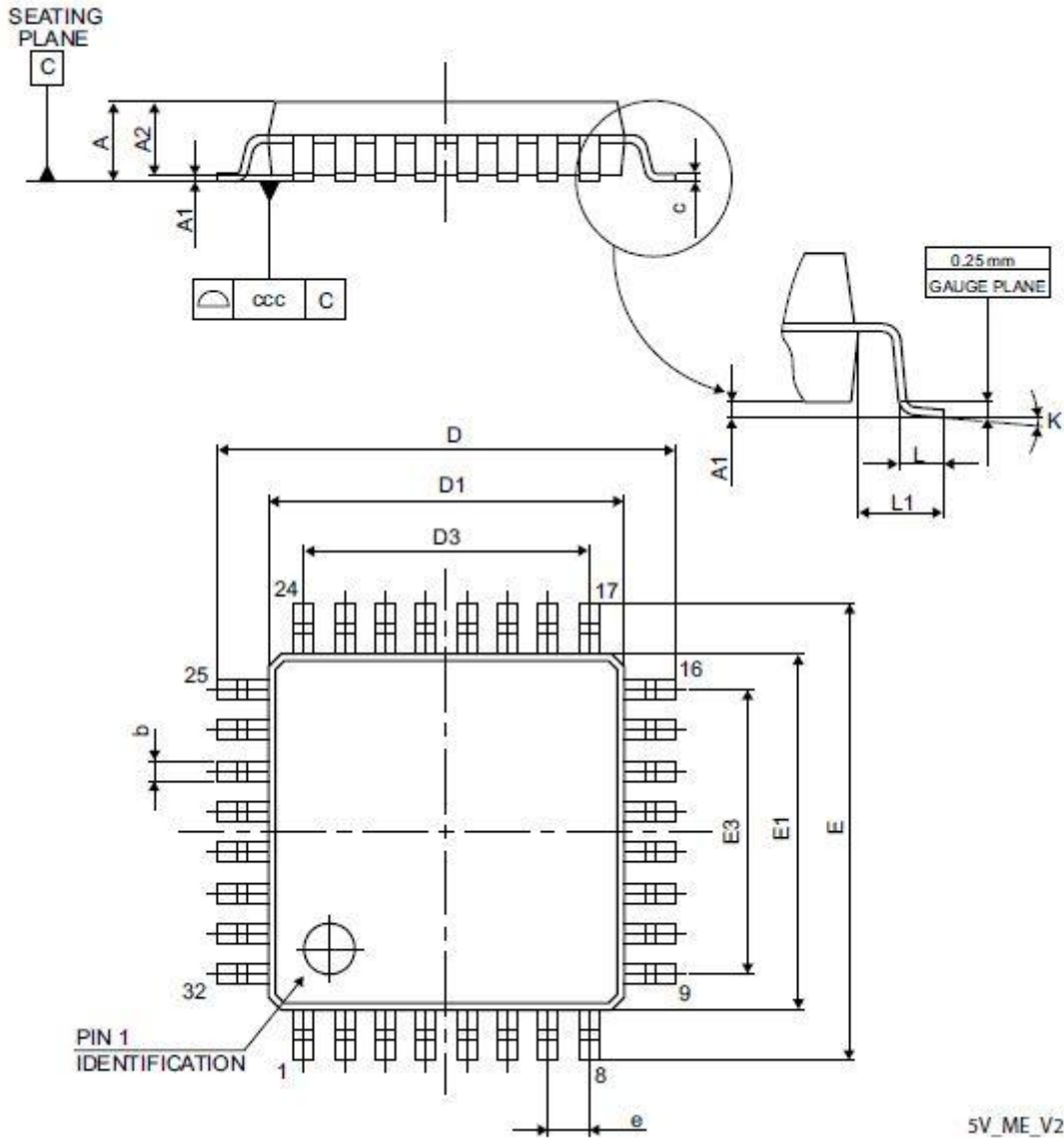
b	0.200	0.250	0.300	0.0079	0.0098	0.0118
e	-	0.500	-	-	0.0197	-
ddd	-	-	0.080	-	-	0.0031



A0B9_FP_V2

图 36 推荐的 UFQFPN48 封装图

CKS



5V_ME_V2

图 37 LQFP32 引脚封装外形⁽¹⁾

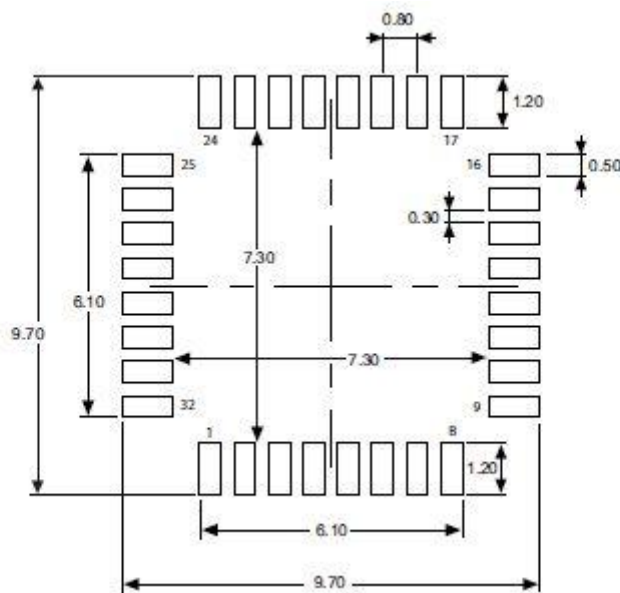
1. 图形未按比例绘制

表 70 LQFP32 -32 超薄细间距方形扁平无引线封装机械数据

尺寸	毫米			英寸 ⁽¹⁾		
	最小	典型	最大	最小	典型	最大
A			1.600			0.0630
A1	0.050		0.150	0.0020		0.0059
A2	1.350	1.400	1.450	0.531	0.0551	0.0571
b	0.300	0.370	0.450	0.0118	0.0146	0.0177
c	0.090		0.200	0.0035		0.0079
D	8.800	9.000	9.200	0.3465	0.3543	0.3622
D1	6.800	7.000	7.200	0.2677	0.2756	0.2835

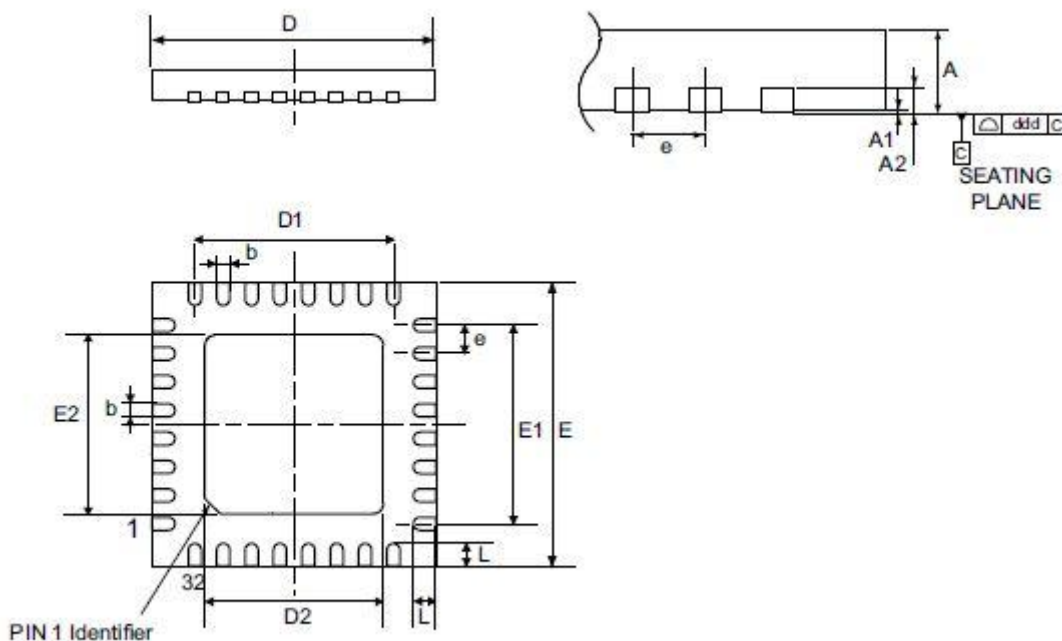
D3		5.600			0.2205	
E	8.800	9.000	9.200	0.3465	0.3543	0.3622
E1	6.800	7.000	7.200	0.2677	0.2756	0.2835
E3		5.600			0.2205	
e		0.800			0.0315	
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1		1.000			0.0394	
k	0.0°	3.5°	7°	0.0°	3.5°	7°
ccc			0.100			0.0039

1. 英寸的值转换自毫米数据，四舍五入到 4 位十进制数字



5V_FP_V2

图 38 推荐的 LQFP32 封装图



A0B8_ME_V2:

图 39 UFQFPN32 封装外形⁽¹⁾

1. 图形未按比例绘制

表 71 UFQFPN32 引脚封装机械数据

符号	毫米			英寸 ⁽¹⁾		
	最小	典型	最大	最小	典型	最大
A	0.500	0.550	0.600	0.0197	0.0217	0.0236
A1	0.000	0.020	0.050	0.0000	0.0008	0.0020
A3	-	0.152	-	-	0.0060	-
B	0.180	0.230	0.280	0.0071	0.0091	0.0110
D	4.900	5.000	5.100	0.1929	0.1969	0.2008
D1	3.400	3.500	3.600	0.1339	0.1378	0.1417
D2	3.400	3.500	3.600	0.1339	0.1378	0.1417
E	4.900	5.000	5.100	0.1929	0.1969	0.2008
E1	3.400	3.500	3.600	0.1339	0.1378	0.1417
E2	3.400	3.500	3.600	0.1339	0.1378	0.1417
e	-	0.500	-	-	0.0197	-
L	0.300	0.400	0.500	0.0118	0.0157	0.0197
ddd	-	-	0.080	-	-	0.0031

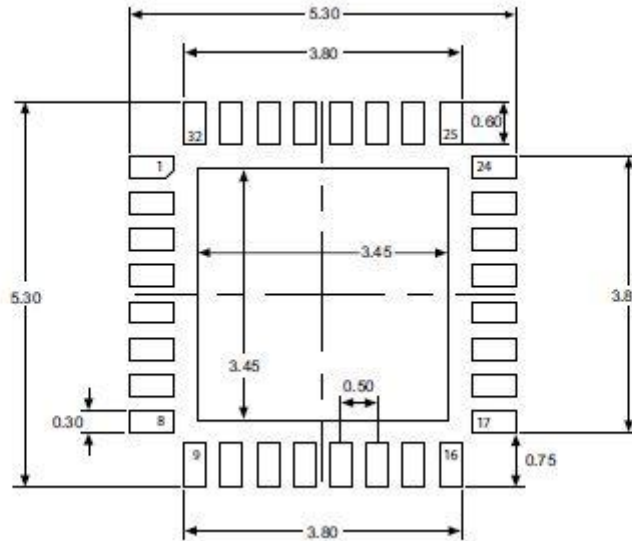


图 40 推荐的 UFQFPN32 封装图

6.2 热特性

芯片的最大结温(T_{jmax})一定不能超过表 19 给出的数值范围。
芯片的最大结温(T_{jmax})用摄氏温度表示, 可用下面的公式计算:

$$T_{jmax} = T_{Amax} + (P_{Dmax} \times \Theta_{JA})$$

其中:

- T_{Amax} 是最大的环境温度, 用 $^{\circ}C$ 表示,
- Θ_{JA} 是封装中结到环境的热阻抗, 用 $^{\circ}C/W$ 标示,
- P_{Dmax} 是 P_{INTmax} 和 $P_{I/Omax}$ 的和($P_{Dmax} = P_{INTmax} + P_{I/Omax}$),
- P_{INTmax} 是 I_{DD} 和 V_{DD} 的乘积, 用瓦特(Watt)表示, 是芯片的最大内部功耗。
 $P_{I/Omax}$ 是所有输出引脚的最大功率消耗:

$$P_{I/Omax} = \Sigma(V_{OL} \times I_{OL}) + \Sigma((V_{DD} - V_{OH}) \times I_{OH}),$$

考虑在应用中 I/O 上低电平和高电平的实际的 V_{OL}/I_{OL} 和 V_{OH}/I_{OH} 。

表 72 封装的热特性

符号	参数	数值	单位
Θ_{JA}	结到环境的热阻抗——LQFP64-10x10mm	45	$^{\circ}C/W$
	结到环境的热阻抗——LQFP48-7x7mm	55	
	结到环境的热阻抗——LQFP32-7x7mm	56	
	结到环境的热阻抗——UFQFPN48-7x7mm	32	
	结到环境的热阻抗——UFQFPN32-5x5mm	38	

7 CKS32 系列产品命名规则

示例:

	CKS32	F	051	R	8	T	6	xxx
产品系列								
CKS32 = 基于ARM®的32位微控制器								
产品类型								
F = 通用类型								
产品子类型								
051 = CKS32F051xx								
引脚数目								
K = 32脚								
C = 48脚								
R = 64脚								
闪存存储器容量								
4 = 16K字节的闪存存储器								
6 = 32K字节的闪存存储器								
8 = 64K字节的闪存存储器								
封装								
T = LQFP								
U = UFQFPN								
温度范围								
6 = 工业级温度范围, -40°C~85°C								
7 = 工业级温度范围, -40°C~105°C								
选项								
xxx = 已编程的器件代号(3个数字)								
TR = 卷带式包装								

CKS 版权所有

8 修订历史

表 73 文档的修订历史

日期	版本	变化
2018.12.25	1	初始发行

CKS 版权所有